

SEMICONDUCTOR MEMORY AND ITS BURST ADDRESS COUNTER

Patent number: JP11191292

Publication date: 1999-07-13

Inventor: HIRABAYASHI OSAMU

Applicant: TOKYO SHIBAURA ELECTRIC CO

Classification:


- international: **G11C7/10; G11C8/18; G11C7/10; G11C8/00; (IPC1-7):**
G11C11/413; G11C8/04; G11C11/407; G11C11/417

- european: G11C7/10M2; G11C7/10M6; G11C7/10M7; G11C7/10S;
G11C8/18

Application number: JP19970358544 19971225

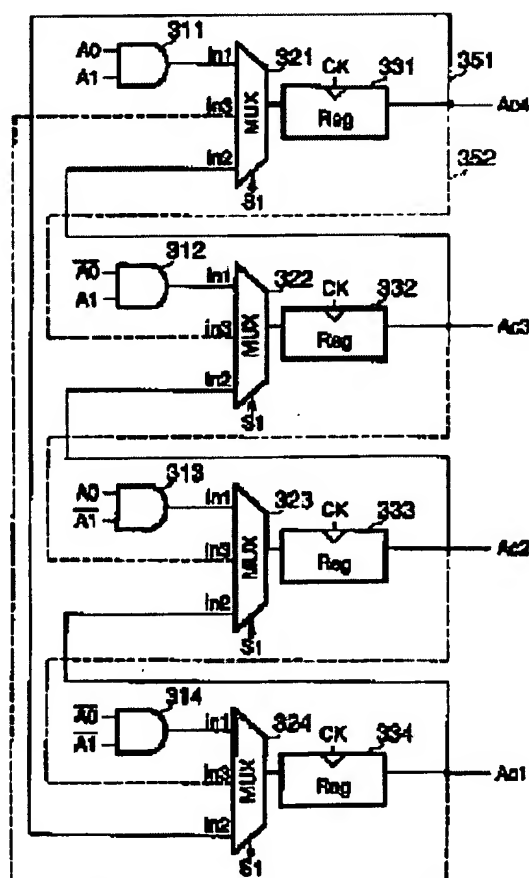
Priority number(s): JP19970358544 19971225

Also published as:

 US6011751 (A1)

Abstract of JP11191292

PROBLEM TO BE SOLVED: To simplify circuit constitution of a burst address counter which can generate selectively a linear mode or an interleave mode being an operation mode of a SDR(single data rate) system. **SOLUTION:** Plural decoders 311-314, multiplexers 321-324, and registers 331-334 are connected in a loop state inversely one another by a first wiring 351 and a second wiring 352, an output signal of a decoder is selected at the time of start of generating operation of a burst address, a start address is preset to a register, after that, data shift is performed in a loop state by the first wiring at the time of a linear mode, a burst address signal of a linear mode is outputted from a register, data shift is performed in a loop state by the first wiring to the second wiring in accordance with a logic level of a low- order bit of a burst address signal at the time of an interleave mode, a burst address signal of an interleave mode is outputted from a register.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-191292

(43)公開日 平成11年(1999)7月13日

| (51) Int.Cl. ⁸ | 識別記号 | F I | |
|---------------------------|--------|---------|-------------|
| G 1 1 C | 11/413 | G 1 1 C | 11/34 J |
| | 8/04 | | 8/04 |
| | 11/417 | | 11/34 3 0 5 |
| | 11/407 | | 3 6 2 S |

審査請求 未請求 請求項の数13 O L (全 24 頁)

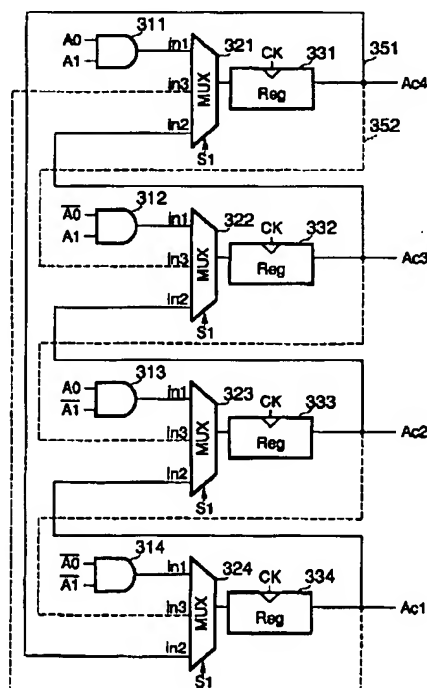
| | | | |
|----------|------------------|---------|---|
| (21)出願番号 | 特願平9-358544 | (71)出願人 | 000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地 |
| (22)出願日 | 平成9年(1997)12月25日 | (72)発明者 | 平林 修 神奈川県川崎市幸区堀川町580番1号 株 式会社東芝半導体システム技術センター内 |
| | | (74)代理人 | 弁理士 鈴江 武彦 (外6名) |

(54)【発明の名称】 半導体記憶装置およびそのバーストアドレスカウンタ

(57) 【要約】

【課題】SDR方式の動作モードでのリニアモードあるいはインターリーブモードを選択的に発生可能なバーストアドレスカウンタの回路構成を簡単化する。

【解決手段】複数のデコーダ311～314とマルチプレクサ321～324とレジスタ331～334を互いに逆向きのループ状に第1の配線351および第2の配線352により接続し、バーストアドレス発生動作の開始時にはデコーダの出力信号を選択してレジスタにスタートアドレスをプリセットし、この後、リニアモードの時には第1の配線によるループ状にデータシフトを行ってレジスタからリニアモードのバーストアドレス信号を出力し、インターリーブモードの時にはバーストアドレス信号の下位ビットの論理レベルに応じて第1の配線あるいは第2の配線によるループ状にデータシフトを行ってレジスタからインターリーブモードのバーストアドレス信号を出力する。



【特許請求の範囲】

【請求項1】 それぞれアドレス信号をデコードする4個のデコーダ回路と、

それぞれ複数の入力端を有し、前記4個のデコーダ回路の各出力信号が対応して各第1入力端に入力し、各制御入力端にそれぞれ供給されるマルチプレクサ制御信号に基づいてそれぞれ複数の入力端の入力を切換選択して出力する4個のマルチプレクサ回路と、

前記4個のマルチプレクサ回路の各出力信号が対応して入力し、それぞれクロック信号を受け、それに同期して前記4個のマルチプレクサ回路のうちの対応するマルチプレクサ回路の出力信号を取り込む4個のレジスタ回路と、

前記4個のレジスタ回路のうちの1番目のレジスタ回路の出力信号を前記4個のマルチプレクサ回路のうちの4番目のマルチプレクサ回路の第2入力端に入力させ、前記4個のレジスタ回路のうちの2番目乃至4番目のレジスタ回路の出力信号を前記4個のマルチプレクサ回路のうちの1番目乃至3番目のマルチプレクサ回路の第2入力端に入力させるように接続し、シングルデータレート方式のリニアモード時およびインターリーブモード時に使用される第1の配線と、

前記4個のレジスタ回路のうちの1番目乃至3番目のレジスタ回路の出力信号を前記4個のマルチプレクサ回路のうちの2番目乃至4番目のマルチプレクサ回路の第3入力端に入力させ、前記4個のレジスタ回路のうちの4番目のレジスタ回路の出力信号を前記4個のマルチプレクサ回路のうちの1番目のマルチプレクサ回路の第3入力端に入力させるように接続し、シングルデータレート方式のインターリーブモード時に使用される第2の配線を具備することを特徴とするバーストアドレスカウンタ。

【請求項2】 請求項1記載のバーストアドレスカウンタにおいて、

前記4個のマルチプレクサ回路は、シングルデータレート方式のリニアモードのバーストアドレスを発生する場合には、バーストアドレス発生動作の開始時に前記各第1入力端の信号を選択した後、前記各第2入力端の信号を選択するように制御され、シングルデータレート方式のインターリーブモードのバーストアドレスを発生する場合には、バーストアドレス発生動作の開始時に前記各第1入力端の信号を選択した後、スタートアドレスの下位ビットの論理レベルに応じて前記各第2入力端または各第3入力端の信号を選択するように制御されることを特徴とするバーストアドレスカウンタ。

【請求項3】 外部クロック入力の上上がり同期してデータの読み出しを行うシングルデータレート方式の動作モードを有する半導体記憶装置において、外部から取り込まれたアドレス信号に基づいてメモリセルアレイのカラムアドレスを指定するカラムアドレス信号の一部と

なるバーストアドレス信号を発生するバーストアドレスカウンタとして、前記請求項1または2記載のバーストアドレスカウンタを具備することを特徴とする半導体記憶装置。

【請求項4】 それぞれ2個または3個の入力端を有し、各制御入力端にそれぞれ供給されるマルチプレクサ制御信号に基づいてそれぞれ複数の入力端の入力を切換選択して出力する複数のマルチプレクサ回路と、前記複数のマルチプレクサ回路の各出力信号が対応して入力し、それぞれクロック信号を受け、それに同期して入力信号を取り込む複数のレジスタ回路と、

前記複数のレジスタ回路の各出力信号を反転させてそれぞれ対応して前記複数のマルチプレクサ回路の各第1入力端に入力する複数のインバータ回路と、

それぞれアドレス信号をデコードする排他的オア回路からなり、各出力信号を前記複数のマルチプレクサ回路のうちの3個の入力端を有するマルチプレクサ回路の各第2入力端に入力する複数のデコーダ回路を具備することを特徴とするバーストアドレスカウンタ。

【請求項5】 請求項4記載のバーストアドレスカウンタにおいて、

前記4個のマルチプレクサ回路は、

ダブルデータレート方式のリニアモードのバーストアドレスを発生する場合には、バーストアドレス発生動作の開始時に前記複数のマルチプレクサ回路の各第2入力端からスタートアドレスを選択した後、前記各第1入力端から対応するレジスタ回路の出力の反転信号を選択するように制御され、

ダブルデータレート方式のインターリーブモードのバーストアドレスを発生する場合には、バーストアドレス発生動作の開始時に前記複数のマルチプレクサ回路のうちの2個の入力端を有するマルチプレクサ回路の第2入力端および3個の入力端を有するマルチプレクサ回路の第3入力端からスタートアドレスを選択した後、前記各第1入力端から対応するレジスタ回路の出力の反転信号を選択するように制御されることを特徴とするバーストアドレスカウンタ。

【請求項6】 外部から取り込まれるアドレス信号に基づいてクロック信号に同期してチップ内部でバーストアドレスを自己発生し、外部クロック入力の上上がりおよび下下がり同期してデータの読み出しを行うダブルデータレート方式の動作モードを有する半導体記憶装置において、

外部から取り込まれたアドレス信号に基づいてメモリセルアレイのカラムアドレスを指定するカラムアドレス信号の一部となるバーストアドレス信号を発生するバーストアドレスカウンタとして、前記請求項4または5記載のバーストアドレスカウンタを具備することを特徴とする半導体記憶装置。

【請求項7】 それぞれアドレス信号をデコードする第

1グループの4個のデコーダ回路と、
それぞれアドレス信号をデコードする第2グループの4個のデコーダ回路と、
それぞれ複数の入力端を有し、前記第1グループの4個のデコーダ回路の各出力信号が対応して各第1入力端に入力し、前記第2グループの4個のデコーダ回路の各出力信号が対応して各第2入力端に入力し、各制御入力端にそれぞれ供給されるマルチプレクサ制御信号に基づいてそれぞれ複数の入力端の入力を切換選択して出力する第1グループの4個のマルチプレクサ回路と、
それぞれ複数の入力端を有し、各出力信号が対応して前記第1グループの4個のマルチプレクサ回路の各第3入力端に入力する第2グループの4個のマルチプレクサ回路と、
前記第1グループの4個のマルチプレクサ回路の各出力信号が対応して入力し、それぞれクロック信号を受け、それに同期して入力信号を取り込む4個のレジスタ回路と、
前記4個のレジスタ回路のうちの1番目のレジスタ回路の出力信号を前記第2グループの4個のマルチプレクサ回路のうちの4番目のマルチプレクサ回路の第1入力端に入力させ、前記4個のレジスタ回路のうちの2番目乃至4番目のレジスタ回路の出力信号を前記第2グループの4個のマルチプレクサ回路のうちの1番目乃至3番目のマルチプレクサ回路の第1入力端に入力させるように接続し、シングルデータレート方式のリニアモード時およびインターリーブモード時に使用される第1の配線と、
前記4個のレジスタ回路のうちの1番目乃至3番目のレジスタ回路の出力信号を前記第2グループの4個のマルチプレクサ回路のうちの2番目乃至4番目のマルチプレクサ回路の第2入力端に入力させ、前記4個のレジスタ回路のうちの4番目のレジスタ回路の出力信号を前記第2グループの4個のマルチプレクサ回路のうちの1番目のマルチプレクサ回路の第2入力端に入力させるように接続し、シングルデータレート方式のインターリーブモード時に使用される第2の配線と、
前記4個のレジスタ回路の各出力信号の反転信号をそれぞれ対応して前記第2グループの4個のマルチプレクサ回路の各第3入力端に入力させるように接続し、ダブルデータレート方式のリニアモード時およびインターリーブモード時に使用される第3の配線を具備することを特徴とするバーストアドレスカウンタ。
【請求項8】 請求項7記載のバーストアドレスカウンタにおいて、
前記第1グループの4個のマルチプレクサ回路は、バーストアドレス発生動作の開始時には各第1入力端または各第2入力端の信号を選択することによってスタートアドレスを取り込んで前記クロック信号に同期して前記4個のレジスタ回路にスタートアドレスをプリセットし、

この後、各第3入力端の信号を選択し、
前記第2グループの4個のマルチプレクサ回路は、複数のバーストアドレス発生モードに応じて複数の入力端の中から所定の入力端を信号を選択することを特徴とするバーストアドレスカウンタ。

【請求項9】 外部クロック入力の上上がり同期してデータの読み出しを行うシングルデータレート方式の動作モードと、外部から取り込まれるアドレス信号に基づいてクロック信号に同期してチップ内部でバーストアドレスを自己発生し、外部クロック入力の上上がりと同下がり同期してデータの読み出しを行うダブルデータレート方式の動作モードとを選択的に指定可能な機能を有する半導体記憶装置において、
外部から取り込まれたアドレス信号に基づいてメモリセルアレイのカラムアドレスを指定するカラムアドレス信号の一部となるバーストアドレス信号を発生するバーストアドレスカウンタとして、前記請求項7または8記載のバーストアドレスカウンタを具備することを特徴とする半導体記憶装置。

【請求項10】 それぞれ2個の入力端を有し、各制御入力端にそれぞれ供給されるマルチプレクサ制御信号に基づいてそれぞれ2個の入力端の入力を切換選択して出力する複数のマルチプレクサ回路と、
前記複数のマルチプレクサ回路の各出力信号が対応して入力し、それぞれクロック信号を受け、それに同期して入力信号を取り込む複数のレジスタ回路と、
前記複数のレジスタ回路の各出力信号を反転させてそれぞれ対応して前記複数のマルチプレクサ回路の各第1入力端に入力する複数のインバータ回路と、
それぞれアドレス信号をデコードする排他的オア回路からなり、各出力信号を前記複数のマルチプレクサ回路のうちの一部のマルチプレクサ回路の各第2入力端に入力する複数のデコーダ回路を具備することを特徴とするバーストアドレスカウンタ。

【請求項11】 外部から取り込まれるアドレス信号に基づいてクロック信号に同期してチップ内部でバーストアドレスを自己発生し、外部クロック入力の上上がりと同下がり同期してデータの読み出しを行うダブルデータレート方式の動作モードを有する半導体記憶装置において、

外部から取り込まれたアドレス信号に基づいてメモリセルアレイのカラムアドレスを指定するカラムアドレス信号の一部となるバーストアドレス信号を発生するバーストアドレスカウンタとして、前記請求項10記載のバーストアドレスカウンタを具備することを特徴とする半導体記憶装置。

【請求項12】 請求項4乃至11のいずれか1項に記載の半導体記憶装置において、
複数のメモリセルが行列状に配置されたメモリセルアレイと、

前記メモリセルに読み書きされるデータが伝搬する複数のデータバスと、
前記メモリセルアレイの連続する2つのアドレスのメモリセルに対してデータの読み出しあるいは書き込みを制御し、前記複数のデータバスとの間でデータを並列に処理する読み出し／書き込み制御回路と、
前記バーストアドレス信号を一部に含むアドレス信号に応じて前記メモリセル群のメモリセルを選択するメモリセル選択回路と、
前記メモリセル選択回路により制御され、前記メモリセル群のカラムを選択するためのカラムトランスファゲート群と、
前記アドレス信号のうちのカラムアドレスビットY0が“0”の時に選択される複数のメモリセルの読み出しデータが前記カラムトランスファゲート群を介して出力する第1のデータ線と、
前記アドレス信号のうちのカラムアドレスビット信号Y0が“1”の時に選択される複数のメモリセルの読み出しデータが前記カラムトランスファゲート群を介して出力する第2のデータ線と、
前記第1のデータ線に接続され、前記カラムアドレスビット信号Y0以外の所定のカラムアドレスビット信号により活性化期間が制御され、前記メモリセルからの読み出しデータを増幅する第1のセンスアンプおよび前記メモリセルにデータ書き込みを行う第1のデータ書き込み回路と、
前記第2のデータ線に接続され、前記カラムアドレスビット信号Y0以外の所定のカラムアドレスビット信号により活性化期間が制御され、前記メモリセルからの読み出しデータを増幅する第2のセンスアンプおよび前記メモリセルにデータ書き込みを行う第2のデータ書き込み回路と、
前記活性化期間が異なる複数組の第1のセンスアンプおよび第1のデータ書き込み回路に共通に接続された第1のデータバスと、
前記活性化期間が異なる複数組の第2のセンスアンプおよび第2のデータ書き込み回路に共通に接続された第2のデータバスを具備することを特徴とする半導体記憶装置。

【請求項13】 請求項12記載の半導体記憶装置において、

前記メモリセルは、一対の記憶ノードに相補的なデータを記憶し、データ線対との間でデータの授受を行うことを特徴とするスタティック型メモリセルであることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置およびその内部アドレス信号を発生するアドレスカウンタに係り、特に外部からのクロック入力に同期して動作

し、外部から取り込まれるアドレス信号に基づいてメモリチップ内部でバーストアドレス信号を自己発生して読み出し／書き込みを行う動作モードを有する同期型の半導体記憶装置およびバーストアドレス信号を発生するバーストアドレスカウンタに関するもので、例えば複数のデータバスを用いて複数のアドレスに対するデータを並列に処理する動作モードを有するSRAM（スタティック型メモリ）などに使用されるものである。

【0002】

【従来の技術】従来の半導体メモリにおいて、通常の同期動作モードのみが要求される場合には、外部クロック入力の立上がりの方に同期させて1つの入出力端子当たり1ビットのデータをメモリセルから読み出したり書き込んだりするシングルデータレート（Single Data Rate；SDR）方式の動作モードをサポートすればよい。

【0003】一方、半導体メモリの高速動作方式の1つとしてバーストモード動作が提案されている。このバーストモード動作とは、外部から取り込まれるアドレス信号に基づいてクロック信号に同期してチップ内部でバーストアドレスを自己発生して読み出し／書き込みを行う動作である。

【0004】前記バーストアドレスの発生の仕方は、1ビットまたは2ビットのバーストアドレス信号により一定の規則性（リニアモードあるいはインターリーブモード）にしたがって連続したアドレスを発生する。

【0005】バーストモードの期間において、バーストアドレス信号が例えば18ビットのアドレス信号の下位2ビットA1、A0に割り付けられるものとする、バーストアドレス信号以外の上位16ビットのアドレス信号は固定のままである。

【0006】上記リニアモードあるいはインターリーブモードは、いずれも、バーストアドレス信号の下位ビットの値が0、1、0、1…（または、1、0、1、0…）と繰り返すものであり、同じ値が繰り返すことはない。

【0007】なお、バーストアドレスは、選択するメモリセルを速く切り換えることが要求されるので、メモリセルのカラムアドレスうちの下位ビットに割り当てられることが多い。

【0008】つまり、セルのワード線選択を行うロウ系に比べてカラム選択を行うカラム系の方がタイミング的に余裕があり、従って、発生に時間がかかるバーストアドレスはカラム系に割り当てた方が全体として高速化できるからである。

【0009】そこで、以後の説明および図面中では、前記バーストアドレスビットA1、A0に対応するカラムアドレスビットY1、Y0で表わすものとする。

【0010】このようなバーストモード動作は、前記SDR方式の動作モードに適用可能であるが、さらに、外部クロック入力のアップエッジ（立上がり）とダウンエ

ッジ(立下がり)に同期してデータの読み出し/書き込みを行うダブルデータレート(Double Data Rate; DDR)方式の動作モードにも適用可能である。

【0011】このDDR方式の動作モードを有するメモリは、内部動作速度は特に高速化することなく、I/Oバッファの部分のみで外部クロック入力の立下がり/立下がり両方に同期させて読み出し/書き込みを行うことにより、メモリ外部から見ると、メモリ内部が倍速で動いている(2倍のデータの読み出し/書き込みを行う)ようにしており、その一例としてSRAMが提案されている。

【0012】DDR方式の動作モードを有するSRAMは、複数のデータバスを用いて複数のアドレスに対するデータを並列に処理する方式であり、メモリセルへの実際の書き込み動作などの内部動作自体は外部クロック入力と同じ速度(周波数)で行うが、一度に2アドレス分のデータを並列に処理することによりデータ転送速度を2倍に高めるものである。

【0013】つまり、DDR方式の動作モードを有するSRAMでは、メモリ内部のデータバスを倍にしておき、バーストアドレスの連続する2つのアドレスでそれぞれ指定されるセルを同時に選択をして書き込みあるいは読み出しをさせている。

【0014】なお、DDR方式の動作モードを有するSRAMにおいては、前記したようなDDR方式の動作モードとSDR方式の動作モードとを選択し得るように併存させる場合が多い。

【0015】ここで、前記バーストアドレスの発生の仕方について、図17乃至図20を参照して説明する。

【0016】(1)SDR方式の動作モードにおけるリニアモードの時には、外部アドレス入力をスタートアドレスとして2進のカウントアップ動作を行うことにより、上記スタートアドレスから順番にインクリメントするようにバーストアドレスが進行する。

【0017】つまり、図17に示すように、スタートアドレスが(0,0)の時には、(0,0)→(0,1)→(1,0)→(1,1)とバーストアドレスが進行し、スタートアドレスが(0,1)の時には、(0,1)→(1,0)→(1,1)→(0,0)とバーストアドレスが進行し、スタートアドレスが(1,0)の時には、(1,0)→(1,1)→(0,0)→(0,1)とバーストアドレスが進行し、スタートアドレスが(1,1)の時には、(1,1)→(0,0)→(0,1)→(1,0)とバーストアドレスが進行する。

【0018】(2)SDR方式の動作モードにおけるインターリーブモードの時には、外部アドレス入力をスタートアドレスとして2進のカウントアップ動作を行い、上記スタートアドレスから順番にインクリメントする信号と、外部アドレス入力との排他的論理和をとることにより、上記スタートアドレスから図18に示すようにバーストアドレスが進行する。

ーストアドレスが進行する。

【0019】(3)DDR方式の動作モードにおけるリニアモードの時には、図19に示すように、前述したSDR方式の動作モードにおけるリニアモードのアドレスおよびその隣りのアドレス、つまり、2つの連続するアドレス信号が対となってそれぞれ上記スタートアドレスから順番にインクリメントするようにバーストアドレスが進行する。

【0020】(4)DDR方式の動作モードにおけるインターリーブモードの時には、図20に示すように、前述したSDR方式の動作モードにおけるインターリーブモードのアドレスおよびその隣りのアドレス、つまり、2つの連続するアドレス信号が対となってそれぞれ上記スタートアドレスから順番にインクリメントするようにバーストアドレスが進行する。

【0021】ところで、従来、前記バーストアドレス信号を発生させるためのバーストアドレスカウンタの具体例は見当たらないが、リニアモードのバーストアドレス信号を発生させる場合には図21に示すような構成が考えられる。

【0022】即ち、外部アドレス入力のうちのA0、A1がそれぞれ対応して外部クロック信号CKの立下がり同期して第1のレジスタ61および第2のレジスタ62に取り込まれ、このレジスタ61、62の各出力がそれぞれ対応して第1の2進カウンタ63および第2の2進カウンタ64に入力する。

【0023】この場合、第1の2進カウンタ63は、前記外部クロック信号CKの立下がり同期してカウントし、第2の2進カウンタ64は、前記外部クロック信号CKの2倍の速度を持つクロック信号2×CKの立下がり同期してカウントし、2つの2進カウンタ63、64により2ビットのカウントアップ動作を行う。

【0024】そして、第1の2進カウンタ63から出力する2ビットの相補的な信号と第2の2進カウンタ64から出力する2ビットの相補的な信号とからなる4ビットの信号がナンド回路群からなるデコーダ65に入力して4ビットのカラムデコード信号Ac1~Ac4が生成される。

【0025】しかし、前記したように外部クロック信号CKの2倍の速度で第2の2進カウンタ64を動作させることは、クロック信号CKの高速化につれて動作速度上の問題が発生し、メモリ動作の高速化に不適である。

【0026】また、前記各2進カウンタ63、64は、最も一般的な構成として図22に示すようなトグル(T)型フリップフロップ(F/F)が用いられるが、それに使用されるNANDゲートの数が6個と多いので、ゲート遅延によりバーストアドレス信号の発生に遅れが生じ、結果として、メモリ動作の速度(アクセスタイムなど)を制限してしまう。

【0027】また、前記バーストアドレスカウンタが前

記インターリーブモードのバーストアドレス信号を発生させる場合には、図22に示すような構成の後段に排他的論理和回路が付加されて外部アドレス入力との排他的論理処理が行われるので、図22に示すようなT型F/Fのほかには使用されるゲート数が多くなり、ゲート遅延によりバーストアドレス信号の発生に遅れが生じ、結果として、メモリ動作の速度（アクセスタイムなど）を制限してしまう。

【0028】

【発明が解決しようとする課題】上記したように従来考えられる2進カウンタを用いたバーストアドレスカウンタは、SDR方式の動作モードでのリニアモードのバーストアドレス信号を発生させる場合に、使用素子数が多くなり、ゲート遅延によりバーストアドレス信号の発生に遅れが生じ、メモリ動作の速度を制限してしまうという問題があった。

【0029】また、SDR方式の動作モードでのインターリーブモードのバーストアドレス信号を発生させる場合には、使用素子数はさらに多くなるので、メモリ動作の速度をさらに制限してしまうという問題があった。

【0030】また、SDR方式の動作モードでのリニアモードおよびインターリーブモードに選択的に対応するようにバーストアドレス信号を発生させる場合に、さらに論理ゲートを追加する必要があることから回路構成が一層複雑になり、使用素子数が一層多くなり、メモリ動作の速度を一層制限してしまうという問題があった。

【0031】さらに、前記バーストアドレスカウンタ2をDDR方式の動作モードとSDR方式の動作モードに選択的に対応するようにリニアモードあるいはインターリーブモードのバーストアドレス信号を発生させる場合には、上記したような問題が極めて深刻になる。

【0032】本発明は上記の問題点を解決すべくなされたもので、SDR方式の動作モードでのリニアモードあるいはインターリーブモードを選択的に発生可能であり、回路構成が簡単で高速動作性に優れた半導体記憶装置およびそのバーストアドレスカウンタを提供することを目的とする。

【0033】また、本発明の他の目的は、DDR方式の動作モードでのリニアモードあるいはインターリーブモードのバーストアドレス信号を選択的に発生可能であり、比較的簡単な回路構成で実現でき、メモリ動作の高速化を図り得る同期型半導体記憶装置およびそのバーストアドレスカウンタを提供する。

【0034】また、本発明の他の目的は、DDR方式の動作モードとSDR方式の動作モードに選択的に対応するようにリニアモードあるいはインターリーブモードのバーストアドレス信号を選択的に発生可能であり、比較的簡単な回路構成で実現でき、メモリ動作の高速化を図り得る同期型半導体記憶装置およびそのバーストアドレスカウンタを提供する。

【0035】

【課題を解決するための手段】本発明の第1のバーストアドレスカウンタは、それぞれアドレス信号をデコードする4個のデコーダ回路と、それぞれ複数の入力端を有し、前記4個のデコーダ回路の各出力信号が対応して各第1入力端に入力し、各制御入力端にそれぞれ供給されるマルチプレクサ制御信号に基づいてそれぞれ複数の入力端の入力を切換選択して出力する4個のマルチプレクサ回路と、前記4個のマルチプレクサ回路の各出力信号が対応して入力し、それぞれクロック信号を受け、それに同期して前記4個のマルチプレクサ回路のうちの対応するマルチプレクサ回路の出力信号を取り込む4個のレジスタ回路と、前記4個のレジスタ回路のうちの1番目のレジスタ回路の出力信号を前記4個のマルチプレクサ回路のうちの4番目のマルチプレクサ回路の第2入力端に入力させ、前記4個のレジスタ回路のうちの2番目乃至4番目のレジスタ回路の出力信号を前記4個のマルチプレクサ回路のうちの1番目乃至3番目のマルチプレクサ回路の第2入力端に入力させるように接続し、シングルデータレート方式のリニアモード時およびインターリーブモード時に使用される第1の配線と、前記4個のレジスタ回路のうちの1番目乃至3番目のレジスタ回路の出力信号を前記4個のマルチプレクサ回路のうちの2番目乃至4番目のマルチプレクサ回路の第3入力端に入力させ、前記4個のレジスタ回路のうちの4番目のレジスタ回路の出力信号を前記4個のマルチプレクサ回路のうちの1番目のマルチプレクサ回路の第3入力端に入力させるように接続し、シングルデータレート方式のインターリーブモード時に使用される第2の配線を具備することを特徴とする。

【0036】本発明の第2のバーストアドレスカウンタは、それぞれ2個または3個の入力端を有し、各制御入力端にそれぞれ供給されるマルチプレクサ制御信号に基づいてそれぞれ複数の入力端の入力を切換選択して出力する複数のマルチプレクサ回路と、前記複数のマルチプレクサ回路の各出力信号が対応して入力し、それぞれクロック信号を受け、それに同期して入力信号を取り込む複数のレジスタ回路と、前記複数のレジスタ回路の各出力信号を反転させてそれぞれ対応して前記複数のマルチプレクサ回路の各第1入力端に入力する複数のインバータ回路と、それぞれアドレス信号をデコードする排他的オア回路からなり、各出力信号を前記複数のマルチプレクサ回路のうちの3個の入力端を有するマルチプレクサ回路の各第2入力端に入力する複数のデコーダ回路を具備することを特徴とする。

【0037】本発明の第3のバーストアドレスカウンタは、それぞれアドレス信号をデコードする第1グループの4個のデコーダ回路と、それぞれアドレス信号をデコードする第2グループの4個のデコーダ回路と、それぞれ複数の入力端を有し、前記第1グループの4個のデコ

ード回路の各出力信号が対応して各第1入力端に入力し、前記第2グループの4個のデコーダ回路の各出力信号が対応して各第2入力端に入力し、各制御入力端にそれぞれ供給されるマルチプレクサ制御信号に基づいてそれぞれ複数の入力端の入力を切換選択して出力する第1グループの4個のマルチプレクサ回路と、それぞれ複数の入力端を有し、各出力信号が対応して前記第1グループの4個のマルチプレクサ回路の各第3入力端に入力する第2グループの4個のマルチプレクサ回路と、前記第1グループの4個のマルチプレクサ回路の各出力信号が対応して入力し、それぞれクロック信号を受け、それに同期して入力信号を取り込む4個のレジスタ回路と、前記4個のレジスタ回路のうちの1番目のレジスタ回路の出力信号を前記第2グループの4個のマルチプレクサ回路のうちの4番目のマルチプレクサ回路の第1入力端に入力させ、前記4個のレジスタ回路のうちの2番目乃至4番目のレジスタ回路の出力信号を前記第2グループの4個のマルチプレクサ回路のうちの1番目乃至3番目のマルチプレクサ回路の第1入力端に入力させるように接続し、シングルデータレート方式のリニアモード時およびインターリーブモード時に使用される第1の配線と、前記4個のレジスタ回路のうちの1番目乃至3番目のレジスタ回路の出力信号を前記第2グループの4個のマルチプレクサ回路のうちの2番目乃至4番目のマルチプレクサ回路の第2入力端に入力させ、前記4個のレジスタ回路のうちの4番目のレジスタ回路の出力信号を前記第2グループの4個のマルチプレクサ回路のうちの1番目のマルチプレクサ回路の第2入力端に入力させるように接続し、シングルデータレート方式のインターリーブモード時に使用される第2の配線と、前記4個のレジスタ回路の各出力信号の反転信号をそれぞれ対応して前記第2グループの4個のマルチプレクサ回路の各第3入力端に入力させるように接続し、ダブルデータレート方式のリニアモード時およびインターリーブモード時に使用される第3の配線を具備することを特徴とする。

【0038】本発明の第4のバーストアドレスカウンタは、それぞれ2個の入力端を有し、各制御入力端にそれぞれ供給されるマルチプレクサ制御信号に基づいてそれぞれ2個の入力端の入力を切換選択して出力する複数のマルチプレクサ回路と、前記複数のマルチプレクサ回路の各出力信号が対応して入力し、それぞれクロック信号を受け、それに同期して入力信号を取り込む複数のレジスタ回路と、前記複数のレジスタ回路の各出力信号を反転させてそれぞれ対応して前記複数のマルチプレクサ回路の各第1入力端に入力する複数のインバータ回路と、それぞれアドレス信号をデコードする排他的オア回路からなり、各出力信号を前記複数のマルチプレクサ回路のうちの一部のマルチプレクサ回路の各第2入力端に入力する複数のデコーダ回路を具備することを特徴とする。

【0039】また、本発明の半導体記憶装置は、外部クロック入力の上上がり同期してデータの読み出しを行うシングルデータレート(SDR)方式の動作モード、外部から取り込まれるアドレス信号に基づいてクロック信号に同期してチップ内部でバーストアドレスを自己発生し、外部クロック入力の上上がりと立下がり同期してデータの読み出しを行うダブルデータレート(DDR)方式の動作モードの少なくとも一方を有する半導体記憶装置において、外部から取り込まれたアドレス信号に基づいてメモリセルアレイのカラムアドレスを指定するカラムアドレス信号の一部となるバーストアドレス信号を発生するバーストアドレスカウンタとして、前記第1のバーストアドレスカウンタ、第2のバーストアドレスカウンタ、第3のバーストアドレスカウンタ、第4のバーストアドレスカウンタのいずれかを具備することを特徴とする。

【0040】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0041】図1は、第1の実施の形態に係るDDR方式/SDR方式の動作モードを選択し得る同期型SRAMの全体的構成を概略的に示す。

【0042】図1において、A0～A17はアドレス信号の最下位ビット～最上位ビット、1はアドレス信号A0～A17のうちの上位15ビットA17～A2が入力し、これをプリデコードするプリデコーダ、2は前記アドレス信号A0～A17のうちの例えば9ビットのカラムアドレス信号A8～A0のうちバーストアドレス信号として割り当てられる下位2ビットA1、A0が入力するバーストアドレスカウンタ、15は前記アドレスプリデコーダの出力が入力するアドレスレジスタ、3は前記アドレスレジスタ15の出力および前記バーストアドレスカウンタ2の出力が入力するアドレスデコーダ、4はメモリセルアレイ、5は前記アドレスデコーダ3の行デコード出力に応じてメモリセルアレイ4の行選択を行う行選択回路、6は前記アドレスデコーダ3の列デコード出力に応じて前記セルアレイ4のカラム選択を行うようにスイッチ制御されるカラムトランスファゲート群からなる列選択回路、7はセンスアンプ・データ書き込み回路、81は第1のデータバス、82は第2のデータバス、9はデータ入出力回路である。

【0043】読み出し/書き込み制御回路14は、前記メモリセルアレイ4のうちの選択されたアドレスのメモリセルに対してデータの読み出しあるいは書き込みを制御し、前記複数のデータバス81、82との間でデータを転送処理するものである。

【0044】さらに、図1のSRAMは、例えば3個の外部端子11～13から入力する3つの制御信号がコマンドデコーダ10によりデコードされて動作モードが制御されるように構成されている。例えば第1の制御信号

Schwegman ■ Lundberg ■ Woessner ■ Kluth

PATENT . TRADEMARK . COPYRIGHT . ATTORNEYS

P.O. Box 2938

Minneapolis, MN 55402

Telephone 612 373 6900 Facsimile 612 339 3061

February 8, 2006

Goudreau Gage Dubuc
Attention: Alain M. Leclerc
Stock Exchange Tower, Suite 3400
P.O. box 242
800 Place Victoria
Montreal, Quebec H4Z 1E9
Canada

CONFIDENTIAL COMMUNICATION
ATTORNEY - CLIENT PRIVILEGED

VIA TELEFAX 514-397-4382
& E-MAIL info@ggd.com

Re: **Your Ref.: 11687.108** -- Our File: SLWK 1361.038CA1
Canadian Patent Application No. Unknown
Applicant: The Scripps Research Institute

Dear Alain Leclerc:

This will acknowledge receipt of your correspondence dated January 27, 2006 reporting the Official Action relative to the above-identified Canadian patent application.

Please use the following instructions to prepare and file a response by the April 6, 2006 deadline.

ATTORNEY COMMENTS:

Please provide us with a copy of the claims as filed in response to the office action in English when reporting filing of the response to us. In addition, please provide us with an electronic copy of the claims via email to our Case Manager, Lynne Mitchell-Becker at lbecker@slwk.com.

Kindly acknowledge safe receipt of these instructions and timely filing of a response by return telefax. If anything further is needed or if you have questions, do not hesitate to contact us.

Very truly yours,

Robin A. Chadwick

RAC:sab

START/STOPの論理レベルに応じてバースト動作の開始／停止が制御され、第2の制御信号READ/WRITEの論理レベルに応じて読み出し／書き込み動作が制御され、第3の制御信号DOUBLE/SINGLEの論理レベルに応じてDDR方式の動作モード／SDR方式の動作モードが選択指定される。

【0045】なお、前記プリデコーダ1は、前記9ビットのカラムアドレス信号A8～A0のうちバーストアドレス信号として割り当てられる下位2ビットA1、A0を除く7ビットA8～A2に対しては、例えば3グループに分けてデコードする。

【0046】前記バーストアドレスカウンタ2は、2ビットの入力信号A1、A0の内容に基づいてスタートアドレスが決まるバーストアドレス信号を、図17乃至図20を参照して前述したような動作モードに応じて発生するものであり、その具体例は後述する。

【0047】前記メモリセルアレイ4は、複数のワード線およびビット線の各交点に対応してメモリセルが2次元の行列（マトリクス）状に配置されたメモリセル群からなる。上記メモリセルは、一対の記憶ノードに相補的なデータを記憶し、データ線対との間でデータの授受を行うスタティック型メモリセル（SRAMセル）である。このSRAMセルの構成の一例は、周知の通り、センス駆動用のNMOSTランジスタ対と、負荷用のPMOSTランジスタ対と、データトランスファークゲートのNMOSTランジスタ対とからなる。

【0048】図2は、図1の同期型SRAMにおけるメモリセルアレイ4の一部のセル部に対応するカラムトランスファークゲートTG、データ線DL1、DL2、センスアンプS/A・データ書き込み回路Din、データバスの接続関係の一例を概略的に示している。

【0049】即ち、セル部は、行方向においてカラムアドレスビット信号Y1、Y0で選択される連続する4カラムが繰り返し、バーストアドレスビットY1、Y0より1つ上位のカラムアドレスビットY2が“0”の時に選択対象となる4カラムと、カラムアドレスビットY2が“1”の時に選択対象となる4カラムとが交互に繰り返す。

【0050】さらに、前記カラムアドレスビットY2より1つ上位のカラムアドレスビットY3が“0”の時に選択対象となる連続する8カラムとカラムアドレスビットY3が“1”の時に選択対象となる連続する8カラムとが交互に繰り返す。

【0051】前記セル部において、連続する2アドレスにより2つのカラムのメモリセルが同時に選択される場合、2ビット分の各カラムトランスファークゲートが同時に開いてしまうと、データの衝突が起きてしまうおそれがある。

【0052】それを避けるため、前記信号Y0が“0”の時に選択されるメモリセルの読み出しデータを第1の

データ線DL1に取り出し、前記信号Y0が“1”の時に選択されるメモリセルの読み出しデータを第2のデータ線DL2に取り出すことが可能のようにカラムトランスファークゲートTG群が接続されている。

【0053】例えば行方向におけるメモリセルの配列順に物理アドレスが割り付けられているものとする、前記4カラム内の配列順位が奇数番目のカラムを第1のデータ線DL1に共通に接続し、偶数番目のカラムを第2のデータ線DL2に共通に接続するようにカラムトランスファークゲートTG群が接続されている。

【0054】そして、前記カラムアドレスビットY2が“0”の時に選択対象となる4カラム（ここでは、物理アドレス1～4あるいは9～12に相当する）とカラムアドレスビットY2が“1”の時に選択対象となる4カラム（ここでは、物理アドレス5～8あるいは13～16に相当する）との隣り合う1組（連続する8カラム）を単位として、前記第1のデータ線DL1および第2のデータ線DL2にそれぞれセンスアンプS/A・データ書き込み回路Dinが接続されている。

【0055】この場合、センスアンプS/Aが活性化される期間とデータ書き込み回路Dinが活性化される期間とは異なる。また、前記第1のデータ線DL1に接続されているセンスアンプS/A・データ書き込み回路Dinが活性化される期間と第2のデータ線DL2に接続されているセンスアンプS/A・データ書き込み回路Dinが活性化される期間とは異なる。

【0056】そして、複数組の第1のデータ線DL1にそれぞれ接続されて互いの活性化期間が異なっている複数組のセンスアンプS/A・データ書き込み回路Dinは、第1のデータバス81を共通に介してデータ入出力回路9に接続されている。

【0057】同様に、複数組の第2のデータ線DL2にそれぞれ接続されて互いの活性化期間が異なっている複数組のセンスアンプS/A・データ書き込み回路Dinは、第2のデータバス82を介して共通に前記データ入出力回路9に接続されている。

【0058】この場合、ある連続する8カラムに対応するセンスアンプS/Aの切り換え、データ書き込み回路Dinの活性／非活性状態がY3=0の時に制御されるものとする、その隣りの連続する8カラムに対応するセンスアンプS/Aの切り換え、データ書き込み回路Dinの活性／非活性状態はY3=1の時に制御される。

【0059】このような構成により、各メモリセルは、前記信号Y0が“0”の時に選択されるメモリセル／信号Y0が“1”の時に選択されるメモリセルに応じて第1のデータバス21／第2のデータバス22に接続されるようになっている。

【0060】従って、バーストアドレスの連続する2つのアドレス（例えばバーストスタートアドレスとそれに連続する次のアドレス）でそれぞれ指定される2つのセ

ルと前記データ入出力回路9の間で、前記2つのデータバス81、82を介して同時に書き込みあるいは読み出しを行う（つまり、2つのセルデータが衝突することなく、同時に書き込みあるいは読み出しを行う）ことが可能になっている。

【0061】なお、図1の同期型SRAM中の前記データ入出力回路9においては、SDR方式の動作モード／DDR方式の動作モードに対応し得るように、例えば図3に示すような第1のデータバス制御回路21と、例えば図6に示すような第2のデータバス制御回路22が設けられている。

【0062】即ち、図3において、第1のデータバス制御回路21は、前記メモリセルアレイ4から前記データ入出力回路9のデータ出力制御回路91の出力データレジスタ913、914までの間（本例では前記データ入出力回路9のデータ出力制御回路91のデータ線センスアンプの前段側）で前記2つのデータバス81、82の接続関係を制御することにより、メモリセルと複数の出力データレジスタとの接続関係を任意に選択する。

【0063】前記データ出力制御回路91は、前記第1のデータバス81に接続された第1のデータ線センスアンプ911と、この第1のデータ線センスアンプの後段に接続された第1の出力データレジスタ913と、この第1の出力データレジスタの後段に接続された第1のトランスファゲート915と、前記第2のデータバス82に接続された第2のデータ線センスアンプ912と、この第2のデータ線センスアンプの後段に接続された第2の出力データレジスタ914と、この第2の出力データレジスタの後段に接続された第2のトランスファゲート916と、前記第1のトランスファゲート915および第2のトランスファゲート916の各出力端側に共通に接続された出力バッファ917とからなる。

【0064】前記第1の出力データレジスタ913と第2の出力データレジスタ914は、それぞれクロック信号CKの立上がり同期してデータを取り込むものである。また、前記第1のトランスファゲート915は、クロック信号CKが“H”レベルの期間にデータを転送し、前記第2のトランスファゲート916は、クロック信号CKの反転信号／CKが“H”レベルの期間（クロック信号CKが“L”レベルの期間）にデータを転送するものである。

【0065】第1のデータバス制御回路21は、本例では、データ出力制御回路91のデータ線センスアンプ911、912の前段側に付加されており、第1のデータバス81に挿入された第1のスイッチ回路211と、第2のデータバス82と第1のデータバス81との間に挿入された第2のスイッチ回路212と、第1のデータバス81と第2のデータバス82との間に挿入された第3のスイッチ回路213と、第2のデータバス82に挿入された第4のスイッチ回路214とからなる。

【0066】上記各スイッチ回路は、それぞれ例えばトランスファゲート用のMOSトランジスタからなり、前記出力データレジスタ913、914が駆動されるタイミングとは独立に設定されるタイミングでデータバスの接続関係を制御するように制御される。

【0067】図4（a）、（b）は、図3中の第1のデータバス制御回路21がSDR方式の動作モードにおいてデータ転送経路を制御する2つの態様を示している。

【0068】図4（a）は、カラムアドレスビット信号Y0が“0”の時にメモリセルから第1のデータバス81に読み出されたデータが第1のデータバス制御回路21の第1のスイッチ回路211および第3のスイッチ回路213を対応して通過して2つのデータ線センスアンプ911、912にそれぞれ入力される、つまり、第1のデータバス81のデータが第2のデータバス82にも転送される場合を示している。

【0069】図4（b）は、カラムアドレスビット信号Y0が“1”の時にメモリセルから第2のデータバス82に読み出されたデータが第1のデータバス制御回路21の第2のスイッチ回路212および第4のスイッチ回路214を対応して通過して2つのデータ線センスアンプ911、912にそれぞれ入力される、つまり、第2のデータバス82のデータが第1のデータバス81にも転送される場合を示している。

【0070】図5（a）、（b）は、図3中の第1のデータバス制御回路21がDDR方式の動作モードにおいてデータ転送経路を制御する2つの態様を示している。

【0071】図5（a）は、カラムアドレスビット信号Y0が“0”の時に連続する2アドレス分のメモリセルから第1のデータバス81／第2のデータバス82に読み出された各データが第1のデータバス制御回路21の第1のスイッチ回路211／第4のスイッチ回路214を対応して通過して2つのデータ線センスアンプ911、912にそれぞれ対応して入力される、つまり、第1のデータバス制御回路21を経由する際に転送バスが入れ替えられない場合を示している。

【0072】図5（b）は、カラムアドレスビット信号Y0が“1”の時に連続する2アドレス分のメモリセルから第1のデータバス81／第2のデータバス82に読み出された各データが第1のデータバス制御回路21の第3のスイッチ回路213／第2のスイッチ回路214を対応して通過して2つのデータ線センスアンプ912、911にそれぞれ対応して入力される、つまり、第1のデータバス制御回路21を経由する際に転送バスが入れ替えられる場合を示している。

【0073】図6において、第2のデータバス制御回路22は、前記データ入出力回路19のデータ入力制御回路92の入力データレジスタ923、924から前記メモリセルアレイ4までの間（本例では前記データ入出力回路9のデータ入力制御回路92の入力データレジスタの中

間段)で前記2つのデータバス81、82の接続関係を制御することにより、複数の入力データレジスタとメモリセルとの接続関係を任意に選択する。

【0074】前記第2のデータバス制御回路22は、第1のデータバス81に挿入された第1のスイッチ回路221と、第2のデータバス82と第1のデータバス81との間に挿入された第2のスイッチ回路222と、第1のデータバス81と第2のデータバス82との間に挿入された第3のスイッチ回路223と、第2のデータバス82に挿入された第4のスイッチ回路224とからなる。

【0075】上記各スイッチ回路は、それぞれ例えばトランスファゲート用のMOSトランジスタからなり、前記入力データレジスタ923、924が駆動されるタイミングとは独立に設定されるタイミングでデータバスの接続関係を制御するように制御される。

【0076】図7(a)は、図6中の第2のデータバス制御回路22がSDR方式の動作モードにおいてデータ転送経路を制御する態様を示している。

【0077】即ち、SDR方式の動作モードでは、第1の入力レジスタ923のデータが、第2のデータバス制御回路22の第1のスイッチ回路221および第3のスイッチ回路223を対応して通過して第3の入力レジスタ925/第4の入力レジスタ926にそれぞれ入力される、つまり、第1のデータバス81のデータが第2のデータバス82にも転送される。

【0078】図7(b)、(c)は、図6中の第2のデータバス制御回路22がDDR方式の動作モードにおいてデータ転送経路を制御する態様を示している。

【0079】図7(b)は、カラムアドレスビット信号Y0が“0”の時の入力データが第1の入力レジスタ923/第2の入力レジスタ924に取り込まれた連続する2アドレス分のデータが、第2のデータバス制御回路22の第1のスイッチ回路221および第4のスイッチ回路224を対応して通過して第3の入力レジスタ925/第4の入力レジスタ926にそれぞれ対応して入力される、つまり、第2のデータバス制御回路22を経由する際に転送バスが入れ替えられない場合を示している。

【0080】図7(c)は、カラムアドレスビット信号Y0が“1”の時の入力データが第1の入力レジスタ/第2の入力レジスタに取り込まれた連続する2アドレス分のデータが、第2のデータバス制御回路22の第3のスイッチ回路223および第2のスイッチ回路222を対応して通過して第3の入力レジスタ925/第4の入力レジスタ926にそれぞれ対応して入力される、つまり、第2のデータバス制御回路22を経由する際に転送バスが入れ替えられる場合を示している。

【0081】<第1実施例>図8は、図1中のバーストアドレスカウンタ2として、SDR方式の動作モードに

おけるリニアモードおよびインターリーブモードに選択的に対応し得るように構成された一例を示す回路図である。

【0082】図8において、A0、A1およびそれぞれの反転信号/A0、/A1は、外部アドレス信号のうちの低位2ビットの信号がアドレスバッファ回路(図示せず)に入力して生成された内部アドレス信号である。CKはメモリチップの外部から供給されるクロック信号がバッファ回路(図示せず)を経て供給される内部クロック信号である。

【0083】311~314はそれぞれ二入力の第1~第4のデコーダ回路(例えばアンド回路)であり、第1のデコーダ回路311は前記信号A0、A1が入力し、第2のデコーダ回路312は前記信号/A0、A1が入力し、第3のデコーダ回路313は前記信号A0、/A1が入力し、第4のデコーダ回路314は前記信号/A0、/A1が入力する。

【0084】321~324はそれぞれ三入力の第1~第4のマルチプレクサ(MUX)回路であり、第1~第4のマルチプレクサ回路321~324の各第1入力端(in1)には対応して前記第1~第4のデコーダ回路311~314の出力信号が入力する。

【0085】331~334はそれぞれ前記クロック信号CKを受け、それに同期して入力信号を取り込む第1~第4のレジスタ(Reg)回路であり、それぞれ対応して前記第1~第4のマルチプレクサ回路321~324の出力信号が入力する。

【0086】そして、前記第1のレジスタ回路331~第4のレジスタ回路334の各出力信号を対応して第4のマルチプレクサ回路324、第1~第3のマルチプレクサ回路321~323の各第2入力端(in2)に入力させるようなループ状に第1の配線351が形成されている。

【0087】また、前記第1のレジスタ回路331~第4のレジスタ回路334の各出力信号を対応して第2~第4のマルチプレクサ回路322~324、第1のマルチプレクサ回路321の各第3入力端(in3)に入力させるようなループ状に第2の配線352が形成されている。

【0088】即ち、図8のバーストアドレスカウンタは、それぞれアドレス信号をデコードするm(本例ではm=4)個のデコーダ回路と、それぞれ複数の入力端を有し、前記m個のデコーダ回路の各出力信号が対応して各第1入力端に入力し、各制御入力端にそれぞれ供給されるマルチプレクサ制御信号に基づいてそれぞれ複数の入力端の入力を切換選択して出力するm個のマルチプレクサ回路と、前記m個のマルチプレクサ回路の各出力信号が対応して入力し、それぞれクロック信号を受け、それに同期して前記m個のマルチプレクサ回路のうちの対応するマルチプレクサ回路の出力信号を取り込むm個の

レジスタ回路と、前記 m 個のレジスタ回路のうちの1番目のレジスタ回路の出力信号を前記 m 個のマルチプレクサ回路のうちの m 番目のマルチプレクサ回路の第2入力端に入力させ、前記 m 個のレジスタ回路のうちの2番目乃至 m 番目のレジスタ回路の出力信号を前記 m 個のマルチプレクサ回路のうちの1番目乃至 $(m-1)$ 番目のマルチプレクサ回路の第2入力端に入力させるように接続し、シングルデータレート方式のリニアモード時およびインターリーブモード時に使用される第1の配線と、前記 m 個のレジスタ回路のうちの1番目乃至 $(m-1)$ 番目のレジスタ回路の出力信号を前記 m 個のマルチプレクサ回路のうちの2番目乃至 m 番目のマルチプレクサ回路の第3入力端に入力させ、前記 m 個のレジスタ回路のうちの m 番目のレジスタ回路の出力信号を前記 m 個のマルチプレクサ回路のうちの1番目のマルチプレクサ回路の第3入力端に入力させるように接続し、シングルデータレート方式のインターリーブモード時に使用される第2の配線を具備する。

【0089】前記第1～第4のマルチプレクサ回路321～324は、各制御入力端にそれぞれマルチプレクサ制御信号 $S1$ が供給され、各第1入力端($in1$)の入力、各第2入力端($in2$)の入力、各第3入力端($in3$)の入力を切換選択して出力する。

【0090】この場合、バーストアドレスカウンタの動作開始時に各第1入力端($in1$)の信号を選択してスタートアドレスを第1のレジスタ回路331～第4のレジスタ回路334に取り込んだ後、リニアモードの時には各第2入力端($in2$)の信号を選択し、インターリーブモードの時にはスタート時のアドレス信号 $A1$ 、 $A0$ のうちの低位アドレス $A0$ の論理レベルに応じて各第2入力端($in2$)または各第3入力端($in3$)の信号を選択するようにマルチプレクサ制御信号 $S1$ により切換制御される。

【0091】即ち、前記4個のマルチプレクサ回路は、シングルデータレート方式のリニアモードのバーストアドレスを発生する場合には、バーストアドレス発生動作の開始時に前記各第1入力端の信号を選択した後、前記各第2入力端の信号を選択するように制御され、シングルデータレート方式のインターリーブモードのバーストアドレスを発生する場合には、バーストアドレス発生動作の開始時に前記各第1入力端の信号を選択した後、スタートアドレスの低位ビットの論理レベルに応じて前記各第2入力端または各第3入力端の信号を選択するように制御される。

【0092】これにより、リニアモードの時には、動作開始時の最初のサイクルでは、クロック信号 CK の立ち上がりに同期してスタートアドレスを取り込んで4個のレジスタ回路331～334にプリセットし、以降のサイクルでは、クロック信号 CK の立ち上がりに同期して第1の配線351により所定の向きのループ状にデータシフ

ト動作を行う。

【0093】この結果、前記4個のレジスタ回路331～334は、スタートアドレスからリニアモードの進行規則にしたがうバーストアドレス信号をデコードした4ビットの信号 $Ac4\sim Ac1$ を出力する。

【0094】ここで、スタート時のアドレス信号が $A1=0$ 、 $A0=0$ である場合のリニアモードのデータシフト動作について、図9を参照しながら説明する。

【0095】スタート時に $A1=0$ 、 $A0=0$ である場合には、第1～第3のデコード回路311～313の各出力は0、第4のデコード回路314の出力は1であり、4個のレジスタ回路331～334の4ビットの出力信号 $Ac4\sim Ac1$ は(0001)にプリセットされる。

【0096】次のサイクルでは、上記4ビットの出力信号 $Ac4\sim Ac1$ が左シフトされて(0010)となり、引き続き、(0100)、(1000)と変化するので、結果として、リニアモードのカウントアップ動作が行われる。

【0097】上記と同様の動作により、スタート時にアドレス信号 $A1=0$ 、 $A0=1$ である場合には、第1～第4のデコード回路311～314のうち第3のデコード回路313の出力のみ1であり、4ビットの出力信号 $Ac4\sim Ac1$ は(0010)にプリセットされ、(0100)→(1000)→(0001)と変化する。

【0098】スタート時にアドレス信号 $A1=1$ 、 $A0=0$ である場合には、第1～第4のデコード回路311～314のうち第2のデコード回路312の出力のみ1であり、4ビットの出力信号 $Ac4\sim Ac1$ は(0100)にプリセットされ、(1000)→(0001)→(0010)とシフトされる。

【0099】スタート時にアドレス信号 $A1=1$ 、 $A0=1$ である場合には、第1～第4のデコード回路311～314のうち第1のデコード回路311の出力のみ1であり、4ビットの出力信号 $Ac4\sim Ac1$ は(1000)にプリセットされ、(0001)→(0010)→(0100)と変化する。

【0100】つまり、図17に示したように、スタートアドレス(0,0)の時には(0,0)→(0,1)→(1,0)→(1,1)とバーストアドレスが進行し、スタートアドレスが(0,1)の時には、(0,1)→(1,0)→(1,1)→(0,0)とバーストアドレスが進行し、スタートアドレスが(1,0)の時には、(1,0)→(1,1)→(0,0)→(0,1)とバーストアドレスが進行し、スタートアドレスが(1,1)の時には、(1,1)→(0,0)→(0,1)→(1,0)とバーストアドレスが進行する動作が実現されることになる。

【0101】一方、インターリーブモードの時には、動作開始時の最初のサイクルでは、クロック信号 CK の立ち上がりに同期してスタートアドレスを取り込んで4個の

レジスタ回路331～334をプリセットし、以降のサイクルでは、クロック信号CKの立上がりに同期して第2の配線352により前記リニアモード時の向きとは逆向きのループ状に、あるいは第1の配線351により前記リニアモード時と同じ向きのループ状にデータシフト動作を行う。これにより、前記4個のレジスタ回路331～334は、スタートアドレスからインターリーブモードの進行規則にしたがうバーストアドレス信号をデコードした4ビットの信号Ac4～Ac1を出力する。

【0102】ここで、スタート時のアドレス信号がA1=1、A0=1である場合のインターリーブモードのデータシフト動作について、図10を参照しながら説明する。

【0103】スタート時にアドレス信号A1=1、A0=1である場合には、第1～第4のデコード回路311～314のうち第1のデコード回路311の出力のみ1であり、4個のレジスタ回路331～334の4ビットの出力信号Ac4～Ac1は(1000)にプリセットされる。

【0104】以降のサイクルでは、4個のマルチプレクサ回路321～324は、スタート時のアドレス信号A0の論理レベルに応じて各第2入力端(in2)または各第3入力端(in3)の信号を選択するように切換制御される。つまり、A0=0の場合には第2入力端(in2)の信号を選択し、A0=1の場合には第3入力端(in3)の信号を選択する。

【0105】この時、A0=1の場合であるから、第3入力端(in3)の信号が選択され、第2の配線352により前記リニアモード時の向きとは逆向きのループ状にデータシフト動作を行うので、次のサイクルでは、上記4ビットの出力信号Ac4～Ac1の右シフトが行われて(0100)となり、引き続き、右シフトにより(0010)、(0001)と変化し、結果として、インターリーブモードのカウントアップ動作が行われる。

【0106】スタート時にアドレス信号A1=0、A0=1である場合には、第1～第4のデコード回路311～314のうち第3のデコード回路313の出力のみ1であり、4ビットの出力信号Ac4～Ac1は(0010)にプリセットされ、前記リニアモード時の向きとは逆向きのループ状にデータシフト動作が行われるので、(0001)→(1000)→(0100)とシフトされる。

【0107】スタート時にアドレス信号A1=1、A0=0である場合には、第1～第4のデコード回路311～314のうち第2のデコード回路312の出力のみ1であり、4ビットの出力信号Ac4～Ac1は(0100)にプリセットされる。この時、A0=0の場合であるから、4個のマルチプレクサ回路321～324では第2入力端(in2)の信号が選択され、第1の配線351により前記リニアモード時の同じ向きのループ状にデー

タシフト動作が行われるので、前記4ビットの出力信号Ac4～Ac1は左シフトが行われて(1000)→(0001)→(0010)と変化する。

【0108】スタート時にアドレス信号A1=0、A0=0である場合には、第1～第4のデコード回路311～314のうち第4のデコード回路314の出力のみ1であり、4ビットの出力信号Ac4～Ac1は(0001)にプリセットされ、第1の配線351により前記リニアモード時の同じ向きのループ状にデータシフト動作が行われるので、(0010)→(0100)→(1000)と変化する。

【0109】つまり、図18に示したように、スタートアドレスが(0,0)の時には、(0,0)→(0,1)→(1,0)→(1,1)とバーストアドレスが進行し、スタートアドレスが(0,1)の時には、(0,1)→(1,0)→(1,1)→(0,0)とバーストアドレスが進行し、スタートアドレスが(1,0)の時には、(1,0)→(1,1)→(0,0)→(0,1)とバーストアドレスが進行し、スタートアドレスが(1,1)の時には、(1,1)→(0,0)→(0,1)→(1,0)とバーストアドレスが進行する動作が実現されることになる。

【0110】上記したような動作から分かるように、図8のバーストアドレスカウンタによれば、第1の配線351と第2の配線352とを切換え使用する簡単な構成でありながら、SDR方式の動作モードにおけるリニアモードおよびインターリーブモードに選択的に対応することが可能になっている。

【0111】図11は、図1の同期型SRAMがバーストアドレスカウンタ2として図8のバーストアドレスカウンタを用いた場合におけるSDR方式の動作モードにおけるデータ読み出し動作のタイミングを示している。ここでは、クロック信号CKの立上がりに同期して2つのアドレスA、Bが引き続き取り込まれる様子を示している。

【0112】上記アドレスAは、バーストアドレス信号のうちの低位アドレスビット信号Y0が“0”の場合のアドレスであり、メモリチップ内部ではバーストアドレスカウンタ2によってアドレスAに対してバーストアドレスがA1、A2と連続的に発生される。この場合、前記低位アドレスビット信号Y0が“0”からスタートするので、前記バーストアドレスA1、A2に対応して低位アドレスビット信号Y0は0、1と変化する。

【0113】従って、バーストアドレスA1の時は第1のデータバス81にデータを読み出すべきメモリセルを選択し、バーストアドレスA2の時は第2のデータバス82にデータを読み出すべきメモリセルを選択する。

【0114】一方、前記アドレスBは、バーストアドレス信号のうちの低位アドレスビット信号Y0が“1”の場合のアドレスであり、メモリチップ内部ではバースト

アドレスカウンタ2によってアドレスBに対してバーストアドレスがB1、B2と連続的に発生される。この場合、前記下位アドレスビット信号Y0が“1”からスタートするので、前記バーストアドレスB1、B2に対応して下位アドレスビット信号Y0は1、0と変化する。

【0115】従って、バーストアドレスB1の時は第2のデータバス82にデータを読み出すべきメモリセルを選択し、バーストアドレスB2の時は第1のデータバス81にデータを読み出すべきメモリセルを選択する。

【0116】以下、図11を参照しながら図1の同期型SRAMにおけるSDR方式の動作モードにおけるデータ読み出し動作について説明する。

【0117】まず、アドレスAのアドレス信号がクロック信号CKの立上がり同期して取り込まれる。

【0118】次に、前記クロック信号CKの立下がり同期して、バーストアドレスA1のメモリセルのデータ(A1)が読み出され、第1のデータバス81に読み出される。このように第1のデータバス81に読み出されたデータ(A1)は、第1のデータバス制御回路21により第2のデータバス82にも転送され、この2つのデータバス81、82をそれぞれ転送されて2つのデータ線センスアンプ911、912に入力され、それぞれ増幅される。

【0119】次のサイクルでは、クロック信号CKの立上がり同期して前記2つのデータ線センスアンプ911、912の出力データ(A1)が第1の出力レジスタ913/第2の出力レジスタ914に取り込まれる。このように取り込まれたデータ(A1)がクロック信号CKの“H”レベルの期間、“L”レベルの期間にそれぞれ対応してデータ線トランスファゲート915、916を介して出力バッファ回路917へ出力されて増幅され、さらにチップ外部へ出力される。

【0120】次に、上記クロック信号CKの立下がり同期して、バーストアドレスA2のメモリセルのデータ(A2)が読み出され、第2のデータバス82に読み出される。このように第2のデータバス82に読み出されたデータ(A2)は、第2のデータバス制御回路22により第1のデータバス81にも転送され、この2つのデータバス81、82をそれぞれ転送されて2つのデータ線センスアンプ911、912に入力され、それぞれ増幅される。

【0121】次のサイクルでは、アドレスBに対応するアドレス信号がクロック信号CKの立上がり同期して取り込まれるとともに、前記2つのデータ線センスアンプ911、912の出力データ(A2)が第1の出力レジスタ913/第2の出力レジスタ914に取り込まれる。このように取り込まれたデータ(A2)がクロック信号CKの“H”レベルの期間、“L”レベルの期間にそれぞれ対応してデータ線トランスファゲート915、916を介して出力バッファ回路917へ出力され

て増幅され、さらにチップ外部へ出力される。

【0122】次に、上記クロック信号CKの立下がり同期して、バーストアドレスB1のメモリセルのデータ(B1)が読み出され、第2のデータバス82に読み出される。このように第2のデータバス82に読み出されたデータ(B1)は、第2のデータバス制御回路22により第1のデータバス81にも転送され、この2つのデータバス81、82をそれぞれ転送されて2つのデータ線センスアンプ911、912に入力され、それぞれ増幅される。

【0123】次のサイクルでは、クロック信号CKの立上がり同期して前記2つのデータ線センスアンプ911、912の出力データ(B1)が第1の出力レジスタ913/第2の出力レジスタ914に取り込まれる。このように取り込まれたデータ(B1)がクロック信号CKの“H”レベルの期間、“L”レベルの期間にそれぞれ対応してデータ線トランスファゲート915、916を介して出力バッファ回路917へ出力されて増幅され、さらにチップ外部へ出力される。

【0124】次に、上記クロック信号CKの立下がり同期して、バーストアドレスB2のメモリセルのデータ(B2)が読み出され、第1のデータバス81に読み出される。このように第1のデータバス81に読み出されたデータ(B2)は、第1のデータバス制御回路21により第2のデータバス82にも転送され、この2つのデータバス81、82をそれぞれ転送されて2つのデータ線センスアンプ911、912に入力され、それぞれ増幅される。

【0125】次のサイクルでは、クロック信号CKの立上がり同期して前記2つのデータ線センスアンプ911、912の出力データ(B2)が第1の出力レジスタ913/第2の出力レジスタ914に取り込まれる。このように取り込まれたデータ(B2)がクロック信号CKの“H”レベルの期間、“L”レベルの期間にそれぞれ対応してデータ線トランスファゲート915、916を介して出力バッファ回路917へ出力されて増幅され、さらにチップ外部へ出力される。

【0126】<第2実施例>図12は、図1中のバーストアドレスカウンタ2として、DDR方式の動作モードにおけるリニアモードおよびインターリーブモードに選択的に対応し得るように構成された一例を示す回路図である。

【0127】図12において、A0、A1は、外部アドレス信号のうちの下位2ビットの信号がアドレスバッファ回路(図示せず)に入力して生成された内部アドレス信号、/A1は内部アドレス信号A1の反転信号である。CKはメモリチップの外部から供給されるクロック信号がバッファ回路(図示せず)を経て供給される内部クロック信号である。

【0128】411、412はそれぞれ二入力の第1、

第2のデコーダ回路(排他的オア回路)であり、第1のデコーダ回路411は前記信号A0、A1が入力し、第2のデコーダ回路412は前記信号/A0、/A1が入力する。

【0129】421、423はそれぞれ二入力の第1、第3のマルチプレクサ(MUX)回路であり、422、424はそれぞれ三入力の第2、第4のマルチプレクサ回路である。

【0130】431~434はそれぞれ前記クロック信号CKを受け、それに同期して入力信号を取り込む第1~第4のレジスタ(Reg)回路であり、それぞれ対応して前記第1~第4のマルチプレクサ回路421~424の出力信号が入力するように配線されている。

【0131】441~444はそれぞれインバータ回路であり、それぞれ対応して前記第1のレジスタ回路431~第4のレジスタ回路734の各出力信号を反転させて前記第1~第4のマルチプレクサ回路421~424の各第1入力端(in1)に入力するようなループ状の配線が形成されている。

【0132】前記第1のマルチプレクサ回路421の第2入力端(in2)には前記信号A1が入力し、第3のマルチプレクサ回路423の第2入力端(in2)には前記反転信号/A1が入力するように配線されている。

【0133】前記第2のマルチプレクサ回路422の第2入力端(in2)には前記第1のデコーダ回路411の出力信号が入力し、前記第4のマルチプレクサ回路424の第2入力端(in2)には前記第2のデコーダ回路412の出力信号が入力する。

【0134】前記第2のマルチプレクサ回路422の第3入力端(in3)には前記信号A1が入力し、第4のマルチプレクサ回路424の第3入力端(in3)には前記反転信号/A1が入力するように配線されている。

【0135】前記第1~第4のマルチプレクサ回路421~424は、各制御入力端にそれぞれマルチプレクサ制御信号S2が供給され、各第1入力端の入力、各第2入力端の入力あるいは各第3入力端の入力を切換選択して出力する。

【0136】DDR方式の動作モードにおいては、4個のレジスタ回路431~434から出力する4ビットの信号Ac4~Ac1により連続する2アドレスを同時に選択する必要があるため、バーストアドレスカウンタの動作開始時には、第1~第4のマルチプレクサ回路421~424は、4ビットの信号Ac4~Ac1のうちの2ビットが同時に選択状態("1")になるスタートアドレスを各第2入力端(in2)あるいは各第3入力端(in3)から取り込む。そして、これ以降のサイクルでは、4ビットの信号Ac4~Ac1のうち現サイクルで選択された2ビット以外の残りの2ビットを次のサイクルで選択すればよいので、第1~第4のマルチプレクサ回路421~424は、第1入力端(in1)から対応するレジ

スタ回路431~434の出力の反転信号であるインバータ回路441~444の出力を取り込むように切換制御される。これにより、レジスタ回路431~434の出力をクロック信号CKの立上がり時に同期してトグルする動作が行われる。

【0137】即ち、バーストアドレス発生動作開始時の最初のサイクルでは、クロック信号CKの立上がり時に同期してスタートアドレスを取り込んで4個のレジスタ回路431~434にプリセットし、以降のサイクルでは、クロック信号CKの立上がり時に同期してレジスタ回路431~434の出力をトグルする動作を行うことにより、4個のレジスタ回路431~434は、前記スタートアドレスからリニアモードの進行規則あるいはインターリーブモードの進行規則にしたがうバーストアドレス信号をデコードした4ビットの信号Ac4~Ac1を出力する。

【0138】なお、前記スタートアドレスを取り込む際、リニアモードの時には、第1~第4のマルチプレクサ回路421~424は各第2入力端(in2)の信号を取り込むように切換制御される。

【0139】インターリーブモードの時には、第1のマルチプレクサ回路421は第2入力端(in2)の信号を取り込み、第2のマルチプレクサ回路422は第3入力端(in3)の信号を取り込み、第3のマルチプレクサ回路423では第2入力端(in2)の信号を取り込み、第4のマルチプレクサ回路424では第3入力端(in3)の信号を取り込むように切換制御される。

【0140】もしくは、上記インターリーブモードの時には、入力バッファ部(図示せず)でA0=0に固定してもよく、この場合には、第1、第2のデコーダ回路(排他的オア回路)411、412の出力はそれぞれA1、/A1となるので、第1~第4のマルチプレクサ回路421~424は、リニアモードの時と同様に各第2入力端(in2)の信号を取り込むように切換制御すればよい。この場合、三入力のマルチプレクサ回路422、424は、各第3入力端(in3)を省略でき、421、423と同様の二入力のマルチプレクサ回路を使用できるので、回路構成が一層簡素化される。

【0141】上記したような動作から分かるように、図12のバーストアドレスカウンタによれば、スタートアドレスを取り込んだ後にレジスタ回路431~434の出力をトグル動作させるように切り換える簡単な構成でありながら、DDR方式の動作モードにおけるリニアモードおよびインターリーブモードに選択的に対応することが可能になっている。

【0142】ここで、スタート時のアドレス信号がA1=0、A0=0である場合のリニアモードのデータシフト動作について、図13を参照しながら説明する。

【0143】スタート時にアドレス信号A1=0、A0=0である場合には、第1のデコーダ回路411の出力

は0であり、第2のデコーダ回路412の出力は1であり、4個のレジスタ回路431~434の4ビットの出力信号Ac4~Ac1は(0011)にプリセットされる。

【0144】次のサイクルでは、上記4ビットの出力信号Ac4~Ac1がトグルされて(1100)となり、引き続き、(0011)、(1100)とトグルされるので、結果として、図19に示したように、リニアモードのバーストアドレス信号を出力する。

【0145】スタート時にアドレス信号A1=0、A0=1である場合、または、アドレス信号A1=1、A0=0である場合、または、アドレス信号A1=1、A0=1である場合には、それぞれ前記動作に準じて、図19に示したようにリニアモードのバーストアドレス信号を出力する。

【0146】次に、スタート時のアドレス信号がA1=1、A0=1である場合のインターリーブモードのデータシフト動作について、図14を参照しながら説明する。

【0147】インターリーブモードのスタートアドレスの取り込み時には、第1、第3のマルチプレクサ回路421、423は各第2入力端(in2)の信号を取り込み、第2、第4のマルチプレクサ回路422、424は各第3入力端(in3)の信号を取り込むので、スタート時にアドレス信号A1=1、A0=1である場合には、4個のレジスタ回路431~434の4ビットの出力信号Ac4~Ac1は(1100)にプリセットされる。

【0148】次のサイクルでは、上記4ビットの出力信号Ac4~Ac1がトグルされて(0011)となり、引き続き、(1100)、(0011)とトグルされるので、結果として、図20に示したように、インターリーブモードのバーストアドレス信号を出力する。

【0149】スタート時にアドレス信号A1=1、A0=0である場合、または、アドレス信号A1=0、A0=1である場合、または、アドレス信号A1=0、A0=0である場合には、それぞれ前記動作に準じて、図20に示したようにインターリーブモードのバーストアドレス信号を出力する。

【0150】図15は、図1の同期型SRAMがバーストアドレスカウンタ2として図12のバーストアドレスカウンタを用いた場合におけるDDR方式の動作モードにおけるデータ読み出し動作のタイミングを示している。ここでは、クロック信号CKの立上りに同期して2つのアドレスA、Bが引き続き取り込まれる様子を示している。

【0151】上記アドレスAは、バーストアドレス信号のうちの下位アドレスビット信号Y0が“0”の場合のアドレスであり、メモリチップ内部ではバーストアドレスカウンタ2によってアドレスAに対してバーストアドレスがA1、A2、A3、A4と連続的に発生される。この場合、下位アドレスビット信号Y0は“0”からス

タートするので、前記バーストアドレスA1、A2、A3、A4に対応して下位アドレスビット信号が0、1、0、1と変化する。

【0152】また、前記アドレス信号Bは、バーストアドレス信号のうちの下位アドレスビット信号Y0が“1”の場合のアドレスであり、メモリチップ内部ではバーストアドレスカウンタ2によってアドレスBに対してバーストアドレスがB1、B2、B3、B4と連続的に発生される。この場合、下位アドレスビットY0が“1”からスタートするので、前記バーストアドレスB1、B2、B3、B4に対応して下位アドレスビットY0が1、0、1、0と変化する。

【0153】従って、バーストアドレスA1、A3の時は、第1のデータバス81にデータを読み出すべきメモリセルが選択され、バーストアドレスA2、A4の時は、第2のデータバス82にデータを読み出すべきメモリセルが選択される。

【0154】また、バーストアドレスB1、B3の時は、第2のデータバス82にデータを読み出すべきメモリセルが選択され、バーストアドレスB2、B4の時は、第1のデータバス81にデータを読み出すべきメモリセルが選択される。

【0155】以下、図15を参照しながら、図1の同期型SRAMのDDR方式の動作モードにおけるデータ読み出し動作を説明する。

【0156】まず、アドレスAのアドレス信号が外部クロック信号CKの立上りに同期して取り込まれる。

【0157】次に、上記クロック信号CKの立下りに同期して2つのバーストアドレスA1、A2に対するメモリセルのデータ(A1、A2)が同時に読み出され、2つのデータバス81、82に読み出される。この場合、バーストアドレスA1の読み出しデータ(A1)は第1のデータバス81に読み出され、バーストアドレスA2の読み出しデータ(A2)は第2のデータバス82に読み出される。

【0158】このように異なる2つのデータバス(第1のデータバス81/第2のデータバス82)に読み出された2アドレス分のデータ(A1、A2)は、転送バスが入れ替えられない状態に制御されている第1のデータバス制御回路21を通過して2つのデータ線センスアンプ911、912にそれぞれ対応して入力され、それぞれ増幅される。

【0159】次のサイクルでは、クロック信号CKの立上りに同期して前記2つのデータ線センスアンプ911、912の出力データ(A1、A2)が対応して第1の出力レジスタ913/第2の出力レジスタ914に取り込まれる。このように取り込まれた2アドレス分のデータ(A1、A2)がそれぞれ対応してクロック信号CKの“H”レベルの期間、“L”レベルの期間にそれぞれ対応してデータ線トランスファークラップ915、91

6を介して順に出力バッファ回路917へ出力されて増幅され、さらにチップ外部へ出力される。

【0160】次に、上記クロック信号CKの立下がりに同期して2つのバーストアドレスA3、A4に対するメモリセルのデータ(A3、A4)が同時に読み出され、2つのデータバスに読み出される。この場合、バーストアドレスA3の読み出しデータ(A3)は第1のデータバス81に読み出され、バーストアドレスA4の読み出しデータ(A4)は第2のデータバス82に読み出され、これらの読み出しデータ(A3、A4)は転送バスが入れ替えられない状態の第1のデータバス制御回路21を通過して2つのデータ線センスアンプ911、912にそれぞれ対応して入力され、それぞれ増幅される。

【0161】次のサイクルでは、クロック信号CKの立下がりに同期してアドレスBに対応するアドレス信号が取り込まれるとともに、前記2つのデータ線センスアンプ911、912の出力データ(A3、A4)が対応して第1の出力レジスタ913/第2の出力レジスタ914に取り込まれる。このように取り込まれた2アドレス分のデータ(A3、A4)がそれぞれ対応してクロック信号CKの“H”レベルの期間、“L”レベルの期間にそれぞれ対応してデータ線トランスファークロップ915、916を介して順に出力バッファ回路917へ出力されて増幅され、さらにチップ外部へ出力される。

【0162】次に、上記クロック信号CKの立下がりに同期して、2つのバーストアドレスB1、B2に対するメモリセルのデータ(B1、B2)が同時に読み出され、2つのデータバスに読み出される。この場合、バーストアドレスB1の時の読み出しデータ(B1)は第2のデータバス82に読み出され、バーストアドレスB2の時の読み出しデータ(B2)は第1のデータバス81に読み出され、これらの読み出しデータ(B2、B1)は、図4(b)に示すように転送バスが入れ替えられた状態に制御されている第1のデータバス制御回路21を通過して2つのデータ線センスアンプ911、912にそれぞれ対応して入力され、それぞれ増幅される。

【0163】次のサイクルでは、クロック信号CKの立下がりに同期して前記2つのデータ線センスアンプ911、912の出力データ(B1、B2)が対応して第1の出力レジスタ913/第2の出力レジスタ914に取り込まれる。このように取り込まれた2アドレス分のデータ(B1、B2)がそれぞれ対応してクロック信号CKの“H”レベルの期間、“L”レベルの期間にそれぞれ対応してデータ線トランスファークロップ915、916を介して順に出力バッファ回路917へ出力されて増幅され、さらにチップ外部へ出力される。

【0164】次に、上記クロック信号CKの立下がりに同期して、2つのバーストアドレスB3、B4に対するメモリセルのデータ(B3、B4)が同時に読み出され、2つのデータバスに読み出される。この場合、バーストアドレスB3の時の読み出しデータ(B3)は第2のデータバス82に読み出され、バーストアドレスB4の時の読み出しデータ(B4)は第1のデータバス82に読み出され、これらの読み出しデータ(B4、B3)は転送バスが入れ替えられた状態の第1のデータバス制御回路21を通過して2つのデータ線センスアンプ911、912にそれぞれ対応して入力され、それぞれ増幅される。

【0165】次のサイクルでは、クロック信号CKの立下がりに同期して前記2つのデータ線センスアンプ911、912の出力データ(B3、B4)が対応して第1の出力レジスタ913/第2の出力レジスタ914に取り込まれる。このように取り込まれた2アドレス分のデータ(B3、B4)がそれぞれ対応してクロック信号CKの“H”レベルの期間、“L”レベルの期間にそれぞれ対応してデータ線トランスファークロップ915、916を介して順に出力バッファ回路917へ出力されて増幅され、さらにチップ外部へ出力される。

【0166】<第3実施例>図16は、図1中のバーストアドレスカウンタ2として、SDR方式の動作モードあるいはDDR方式の動作モードにおけるリニアモードおよびインターリーブモードに選択的に対応し得るように構成された一例を示す回路図である。

【0167】図16において、A0、A1は、外部アドレス信号のうちの低位2ビットの信号がアドレスバッファ回路(図示せず)に入力して生成された内部アドレス信号、/A0、/A1は前記内部アドレス信号A0、A1の反転信号である。CKはメモリチップの外部から供給されるクロック信号がバッファ回路(図示せず)を経て供給される内部クロック信号である。

【0168】第1グループをなす第1～第4のデコード回路511～514は、SDR方式の動作モードで使用されるそれぞれ二入力のデコード回路であり、第1のデコード回路511は前記信号A0、A1が入力し、第2のデコード回路512は前記信号/A0、A1が入力し、第3のデコード回路513は前記信号A0、/A1が入力し、第4のデコード回路514は前記信号/A0、/A1が入力する。

【0169】第2グループをなす第5～第8のデコード回路515～518は、DDR方式の動作モードで使用されるそれぞれ二入力のデコード回路(前記第1グループのデコード回路とは構成が異なる)であり、第5のデコード回路515は前記信号A0、A1が入力し、第6のデコード回路516は前記信号/A0、A1が入力し、第7のデコード回路517は前記信号A0、/A1が入力し、第8のデコード回路518は前記信号/A0、/A1が入力する。

【0170】第1グループをなす第1～第4のマルチプレクサ回路521～524は、それぞれそれぞれ三入力のマルチプレクサ回路であり、第2グループをなす第5

～第8のマルチプレクサ回路である525～528はそれぞれ三入力のマルチプレクサ回路である。

【0171】531～534はそれぞれ前記クロック信号CKを受け、それに同期して入力信号を取り込む第1～第4のレジスタ回路であり、それぞれ対応して前記第1～第4のマルチプレクサ回路521～524の出力信号が入力するように配線されている。

【0172】541～544はそれぞれ対応して前記第1のレジスタ回路531～第4のレジスタ回路534の各出力信号を反転させる第1～第4のインバート回路である。

【0173】さらに、前記第1のレジスタ回路531～第4のレジスタ回路534の各出力信号を対応して第8のマルチプレクサ回路528、第5～第7のマルチプレクサ回路525～527の各第1入力端(in1)に入力させるようなループ状に第1の配線551が形成されている。

【0174】また、前記第1のレジスタ回路531～第4のレジスタ回路534の各出力信号を対応して第6～第8のマルチプレクサ回路526～528、第5のマルチプレクサ回路525の各第2入力端(in2)に入力させるようなループ状に第2の配線552が形成されている。

【0175】また、前記第1～第4のインバート回路541～544の各出力信号を対応して前記第5～第8のマルチプレクサ回路525～528の各第3入力端(in3)に入力するような第3の配線553が形成されている。

【0176】そして、前記第1～第4のマルチプレクサ回路521～524の各第1入力端(in1)には対応して前記第1～第4のデコーダ回路511～514の各出力信号が入力し、前記第1～第4のマルチプレクサ回路521～524の各第2入力端(in2)には対応して前記第5～第8のデコーダ回路515～518の各出力信号が入力し、前記第1～第4のマルチプレクサ回路521～524の各第3入力端(in3)には対応して前記第5～第8のマルチプレクサ回路525～528の各出力信号が入力する。

【0177】即ち、図16のバーストアドレスカウンタは、それぞれアドレス信号をデコードする第1グループの4個のデコーダ回路と、それぞれアドレス信号をデコードする第2グループの4個のデコーダ回路と、それぞれ複数の入力端を有し、前記第1グループの4個のデコーダ回路の各出力信号が対応して各第1入力端に入力し、前記第2グループの4個のデコーダ回路の各出力信号が対応して各第2入力端に入力し、各制御入力端にそれぞれ供給されるマルチプレクサ制御信号に基づいてそれぞれ複数の入力端の入力を切換選択して出力する第1グループの4個のマルチプレクサ回路と、それぞれ複数の入力端を有し、各出力信号が対応して前記第1グルー

プの4個のマルチプレクサ回路の各第3入力端に入力する第2グループの4個のマルチプレクサ回路と、前記第1グループの4個のマルチプレクサ回路の各出力信号が対応して入力し、それぞれクロック信号を受け、それに同期して入力信号を取り込む4個のレジスタ回路と、前記4個のレジスタ回路のうちの1番目のレジスタ回路の出力信号を前記第2グループの4個のマルチプレクサ回路のうちの4番目のマルチプレクサ回路の第1入力端に入力させ、前記4個のレジスタ回路のうちの2番目乃至4番目のレジスタ回路の出力信号を前記第2グループの4個のマルチプレクサ回路のうちの1番目乃至3番目のマルチプレクサ回路の第1入力端に入力させるように接続し、シングルデータレート方式のリニアモード時およびインターリーブモード時に使用される第1の配線と、前記4個のレジスタ回路のうちの1番目乃至3番目のレジスタ回路の出力信号を前記第2グループの4個のマルチプレクサ回路のうちの2番目乃至4番目のマルチプレクサ回路の第2入力端に入力させ、前記4個のレジスタ回路のうちの4番目のレジスタ回路の出力信号を前記第2グループの4個のマルチプレクサ回路のうちの1番目のマルチプレクサ回路の第2入力端に入力させるように接続し、シングルデータレート方式のインターリーブモード時に使用される第2の配線と、前記4個のレジスタ回路の各出力信号の反転信号をそれぞれ対応して前記第2グループの4個のマルチプレクサ回路の各第3入力端に入力させるように接続し、ダブルデータレート方式のリニアモード時およびインターリーブモード時に使用される第3の配線を具備する。

【0178】前記第1～第4のマルチプレクサ回路521～524は、各制御入力端にそれぞれマルチプレクサ制御信号S3が供給され、各第1入力端(in1)の入力、各第2入力端(in2)の入力、各第3入力端(in3)の入力を切換選択して出力する。

【0179】この場合、前記第1～第4のマルチプレクサ回路521～524は、バーストアドレスカウンタの動作開始時の最初のサイクルでは、クロック信号CKの立上がり同期して各第1入力端(in1)あるいは各第2入力端(in2)の信号を選択してスタートアドレスを取り込んで4個のレジスタ回路531～534にプリセットし、以降のサイクルでは、各第3入力端(in3)の信号(第5～第8のマルチプレクサ回路525～528の各出力信号)を選択するようにマルチプレクサ制御信号S3により切換制御される。

【0180】前記第1～第4のマルチプレクサ回路521～524がスタートアドレスを取り込む際、SDR方式の動作モードの時には各第1入力端(in1)の信号を選択し、DDR方式の動作モードにおけるリニアモードの時には各第2入力端(in2)の信号を選択し、DDR方式の動作モードにおけるインターリーブモードの時には各第1入力端(in1)の信号あるいは各第2入

力端(in2)の信号を選択する。

【0181】一方、前記第5～第8のマルチプレクサ回路525～528は、バーストアドレスカウンタの動作開始時の最初のサイクルより以降のサイクルでは、各制御入力端にそれぞれ供給されるマルチプレクサ制御信号S4により、各第1入力端(in1)の入力、各第2入力端(in2)の入力、各第3入力端(in3)の入力を切換選択して出力する。

【0182】この場合、SDR方式の動作モードにおけるリニアモードの時には、前記第5～第8のマルチプレクサ回路525～528が各第1入力端(in1)の信号を選択する。

【0183】これにより、図16の回路は、クロック信号CKの立上がりにより同期して第1の配線551により所定の向きのループ状にデータシフト動作を行うことにより、4個のレジスタ回路531～534から前記スタートアドレスからリニアモードの進行規則にしたがうバーストアドレス信号をデコードした信号Ac4～Ac1を出力する。

【0184】これに対して、SDR方式の動作モードにおけるインターリーブモードの時には、前記第5～第8のマルチプレクサ回路525～528は、スタート時のアドレス信号A1、A0の下位ビット信号A0に応じて各第1入力端(in1)または各第2入力端(in2)の信号を選択する。

【0185】これにより、図16の回路は、クロック信号CKの立上がりにより同期して第1の配線551により所定の向きのループ状にデータシフト動作を行う、あるいは、第2の配線552により前記リニアモード時とは逆向きのループ状にデータシフト動作を行うことにより、4個のレジスタ回路531～534から前記スタートアドレスからインターリーブモードの進行規則にしたがうバーストアドレス信号をデコードした信号Ac4～Ac1を出力する。

【0186】そして、DDR方式の動作モードの時には、前記第5～第8のマルチプレクサ回路525～528は、各第3入力端(in3)の信号(第1～第4のインバータ回路541～544の各出力信号)を選択する。これにより、図16の回路は、クロック信号CKの立上がりにより同期してレジスタ回路531～534の出力をトグルする動作を行うことにより、4個のレジスタ回路531～534から前記スタートアドレスからDDR方式のリニアモードあるいはインターリーブモードの進行規則にしたがうバーストアドレス信号をデコードした信号Ac4～Ac1を出力する。

【0187】上記したような動作から分かるように、図16のバーストアドレスカウンタによれば、第1～第4のマルチプレクサ回路521～524により、アドレス信号のプリデコード出力および第5～第8のマルチプレクサ回路525～528の出力を選択し、第5～第8の

マルチプレクサ回路525～528により、SDR方式の動作モードでは第1の配線551、第2の配線552を切換え使用し、DDR方式の動作モードでは第3の配線553を使用する簡単な構成でありながら、SDR方式/DDR方式の動作モードにおけるリニアモードおよびインターリーブモードに選択的に対応することが可能になっている。

【0188】即ち、図16のバーストアドレスカウンタにおいて、前記第1グループの4個のマルチプレクサ回路および第2グループの4個のマルチプレクサ回路は、シングルデータレート方式のリニアモードのバーストアドレスを発生する場合には、バーストアドレス発生動作の開始時に前記第1グループの4個のマルチプレクサ回路が各第1入力端の信号を選択した後、前記第2グループの4個のマルチプレクサ回路が各第1入力端の信号を選択するように制御され、シングルデータレート方式のインターリーブモードのバーストアドレスを発生する場合には、バーストアドレス発生動作の開始時に前記第1グループの4個のマルチプレクサ回路が各第2入力端の信号を選択した後、前記第2グループの4個のマルチプレクサ回路がスタートアドレスの下位ビットの論理レベルに応じて前記各第1入力端または各第2入力端の信号を選択するように制御され、ダブルデータレート方式のリニアモードのバーストアドレスを発生する場合には、バーストアドレス発生動作の開始時に前記第1グループの4個のマルチプレクサ回路が各第1入力端の信号を選択した後、前記第2グループの4個のマルチプレクサ回路が各第3入力端の信号を選択するように制御され、ダブルデータレート方式のインターリーブモードのバーストアドレスを発生する場合には、バーストアドレス発生動作の開始時に前記第1グループの4個のマルチプレクサ回路が各第2入力端の信号を選択した後、前記第2グループの4個のマルチプレクサ回路が各第3入力端の信号を選択するように制御される。

【0189】なお、上記各実施例は、レジスタ数m(およびそれに関連する他の回路数)が4の場合で説明したが、一般に $m=2^n$ (nは2以上の整数)であればよい。

【0190】また、図1はDDR方式/SDR方式の動作モードを選択的に指定し得るSRAMを示したが、本発明はSDR方式/DDR方式の一方の動作モードを備えたメモリに適用可能である。

【0191】

【発明の効果】上述したように本発明によれば、複数個のレジスタのそれぞれ前段にマルチプレクサを用い、レジスタ相互の接続関係を選択することによってアドレスをインクリメントする構成を有することにより、SDR方式の動作モードでのリニアモードあるいはインターリーブモードを選択的に発生可能であり、カウンタ各段にT型F/F回路を用いる場合と比べて回路構成が簡単で

高速動作性に優れた半導体記憶装置およびそのバーストアドレスカウンタを提供することができる。

【0192】また、本発明によれば、複数のレジスタのそれぞれ前段にマルチプレクサを用い、レジスタ出力を反転させた信号をマルチプレクサで選択するように構成を有することにより、DDR方式の動作モードでのリニアモードあるいはインターリーブモードのバーストアドレス信号を選択的に発生可能であり、カウンタ各段にT型F/F回路を用いる場合と比べて比較的簡単な回路構成で実現でき、メモリ動作の高速化を図り得る同期型半導体記憶装置およびそのバーストアドレスカウンタを提供することができる。

【0193】また、本発明によれば、複数のレジスタのそれぞれ前段にマルチプレクサを用い、レジスタ相互の接続関係を選択することによってアドレスをインクリメントする構成、あるいは、レジスタ出力を反転させた信号をマルチプレクサで選択する構成を選択することにより、SDR方式の動作モードとDDR方式の動作モードに選択的に対応するようにリニアモードあるいはインターリーブモードのバーストアドレス信号を選択的に発生可能であり、カウンタ各段にT型F/F回路を用いる場合と比べて比較的簡単な回路構成で実現でき、メモリ動作の高速化を図り得る同期型半導体記憶装置およびそのバーストアドレスカウンタを提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る同期型SRAMの全体的な構成を概略的に示すブロック図。

【図2】図1中のメモリセルアレイの一部のセル部に対応するカラムトランスファークロップ、データ線、センスアンプ・データ書き込み回路、データバスの接続関係の一例を概略的に示す図。

【図3】図1中のデータ入出力回路における第1のデータバス切替回路およびデータ出力制御回路の一例を示す回路図。

【図4】図3中の第1のデータバス切替回路がSDR方式の動作モードにおいてデータ転送経路を制御する2つの態様を示す回路図。

【図5】図3中の第1のデータバス切替回路がDDR方式の動作モードにおいてデータ転送経路を制御する2つの態様を示す回路図。

【図6】図1中のデータ入出力回路における第2のデータバス切替回路およびデータ入力制御回路の一例を示す回路図。

【図7】図6中の第2のデータバス切替回路がSDR方式の動作モードにおいてデータ転送経路を制御する態様およびDDR方式の動作モードにおいてデータ転送経路を制御する2つの態様を示す回路図。

【図8】図1中のバーストアドレスカウンタでSDR方式の動作モードにおけるリニアモードあるいはインターリーブモードでのバーストアドレス信号を発生させる場

合の一例を示す回路図。

【図9】図8の回路においてスタートアドレスが例えば(0, 0)の時のリニアモードのデータシフト動作を示すタイミング波形図。

【図10】図8の回路においてスタートアドレスが例えば(1, 1)の時のインターリーブモードのデータシフト動作を示すタイミング波形図。

【図11】図1の同期型SRAMが図8のバーストアドレスカウンタを用いた場合におけるSDR方式の動作モードにおけるデータ読み出し動作の一例を示すタイミング波形図。

【図12】図1中のバーストアドレスカウンタでDDR方式の動作モードにおけるリニアモードあるいはインターリーブモードでのバーストアドレス信号を発生させる場合の一例を示す回路図。

【図13】図12の回路においてスタートアドレスが例えば(0, 0)の時のリニアモードのデータシフト動作を示すタイミング波形図。

【図14】図12の回路においてスタートアドレスが例えば(1, 1)の時のインターリーブモードのデータシフト動作を示すタイミング波形図。

【図15】図1の同期型SRAMが図12のバーストアドレスカウンタを用いた場合におけるDDR方式の動作モードにおけるデータ読み出し動作の一例を示すタイミング波形図。

【図16】図1中のバーストアドレスカウンタでSDR方式の動作モード/DDR方式の動作モードにおけるリニアモードあるいはインターリーブモードでのバーストアドレス信号を選択的に発生させる場合の一例を示す回路図。

【図17】図1中のバーストアドレスカウンタのSDR方式の動作モードにおけるリニアモードのバーストアドレス信号の進行規則を説明するために示す図。

【図18】図1中のバーストアドレスカウンタのSDR方式の動作モードにおけるインターリーブモードのバーストアドレス信号の進行規則を説明するために示す図。

【図19】図1中のバーストアドレスカウンタのDDR方式の動作モードにおけるリニアモードのバーストアドレス信号の進行規則を説明するために示す図。

【図20】図1中のバーストアドレスカウンタのDDR方式の動作モードにおけるインターリーブモードのバーストアドレス信号の進行規則を説明するために示す図。

【図21】同期型SRAMのバーストアドレスカウンタとしてリニアモードのバーストアドレス信号を発生させる場合に従来考えられる基本構成を示す回路図。

【図22】図17中の二進カウンタの最も一般的な構成であるトグル(T)型フリップフロップ(F/F)回路の一例を示す回路図。

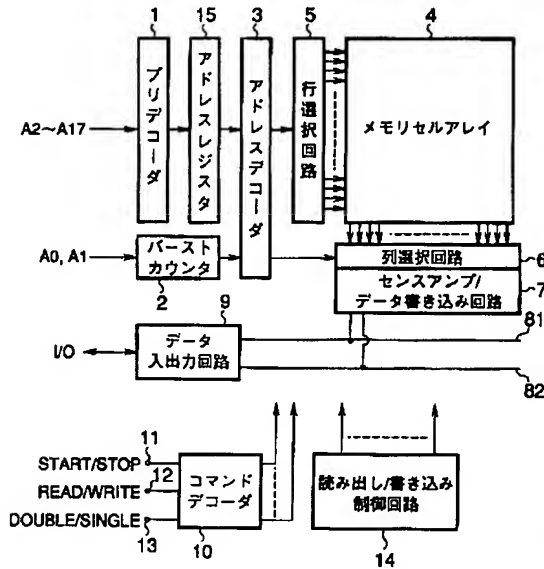
【符号の説明】

A1、A0…アドレス信号、

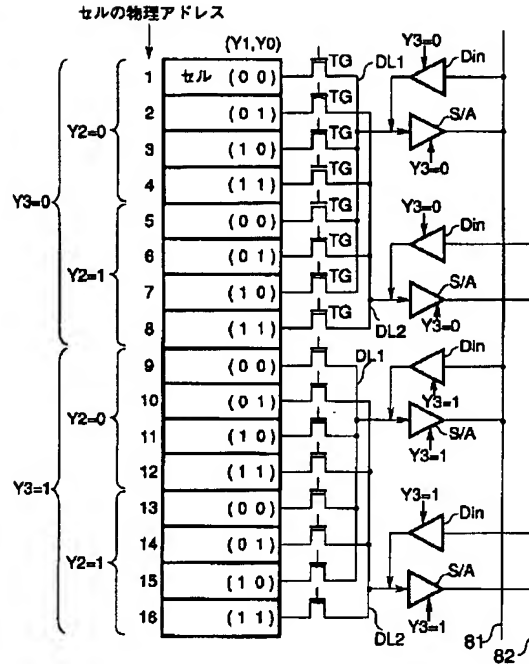
CK…クロック信号、
 311～314…第1～第4のデコーダ回路（例えばア
 ンド回路）、
 321～324…第1～第4のマルチプレクサ回路、

331～334…第1～第4のレジスタ回路、
 351…第1の配線、
 352…第2の配線。

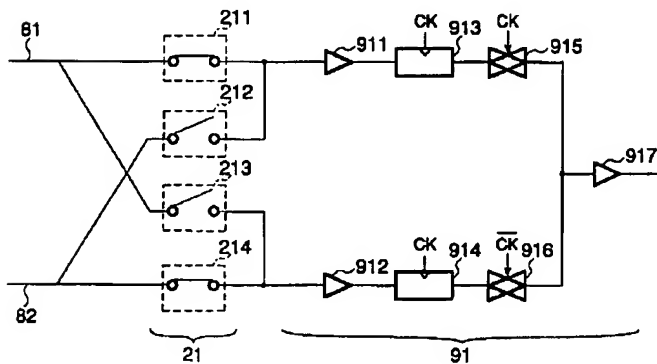
【図1】



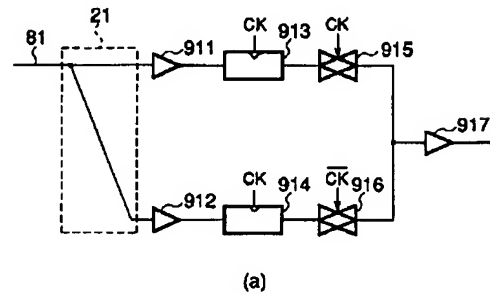
【図2】



【図3】

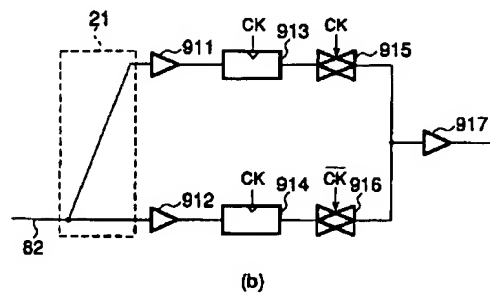


【図4】

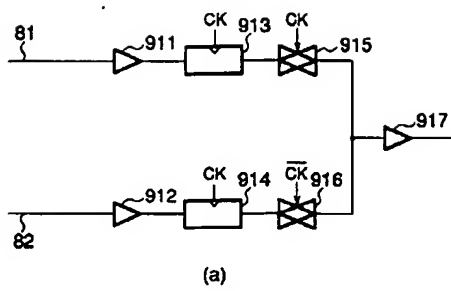


【図17】

| リニアモード(SDR方式) | | | | | | |
|---------------|-------|-------|-------|-------|-------|-----|
| | 1 | 2 | 3 | 4 | 5 | ... |
| (A1,A0) | (0,0) | (0,1) | (1,0) | (1,1) | (0,0) | ... |
| | (0,1) | (1,0) | (1,1) | (0,0) | (0,1) | ... |
| | (1,0) | (1,1) | (0,0) | (0,1) | (1,0) | ... |
| | (1,1) | (0,0) | (0,1) | (1,0) | (1,1) | ... |

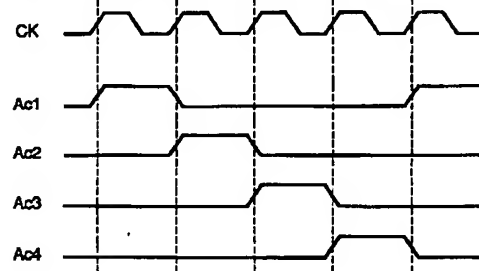


【図5】



【図9】

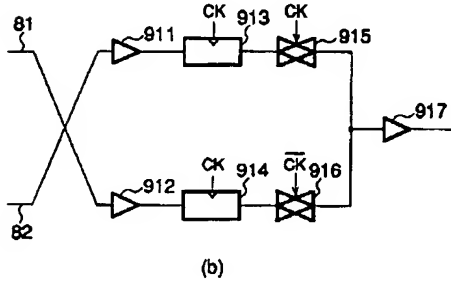
リニアモード (SDR方式、スタート時の A1、A0=0、0)



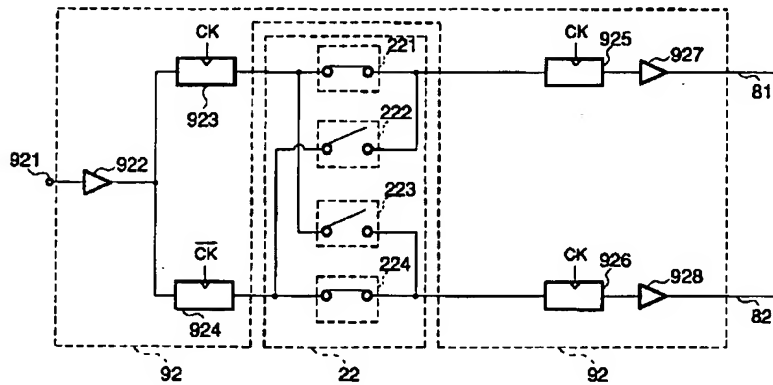
【図19】

リニアモード(DDR方式)

| | 1 | 2 | 3 | ... |
|---------|-------------|-------------|-------------|-----|
| (A1,A0) | (0,0)&(0,1) | (1,0)&(1,1) | (0,0)&(0,1) | ... |
| | (0,1)&(1,0) | (1,1)&(0,0) | (0,1)&(1,0) | ... |
| | (1,0)&(1,1) | (0,0)&(0,1) | (1,0)&(1,1) | ... |
| | (1,1)&(0,0) | (0,1)&(1,0) | (1,1)&(0,0) | ... |



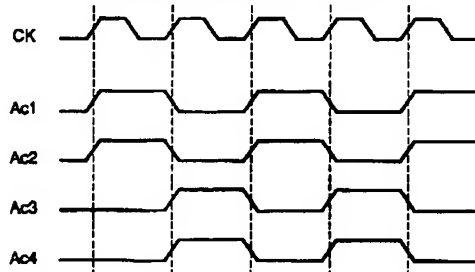
【図6】



【図13】

【図18】

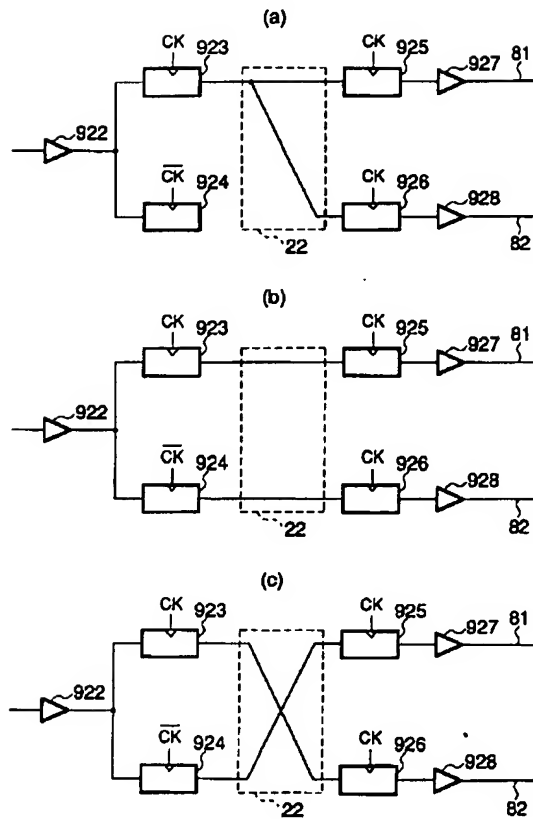
リニアモード (DDR方式、スタート時の A1、A0=0、0)



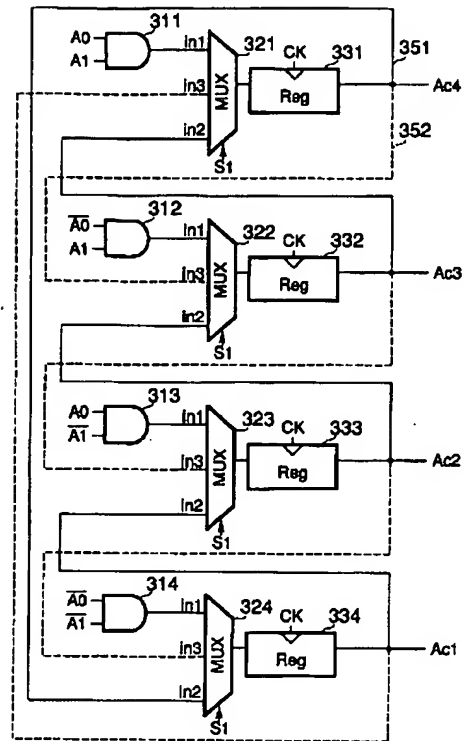
インターリーブモード(SDR方式)

| | 1 | 2 | 3 | 4 | 5 | ... |
|---------|-------|-------|-------|-------|-------|-----|
| (A1,A0) | (0,0) | (0,1) | (1,0) | (1,1) | (0,0) | ... |
| | (0,1) | (0,0) | (1,1) | (1,0) | (0,1) | ... |
| | (1,0) | (1,1) | (0,0) | (0,1) | (1,0) | ... |
| | (1,1) | (1,0) | (0,1) | (0,0) | (1,1) | ... |

【図7】

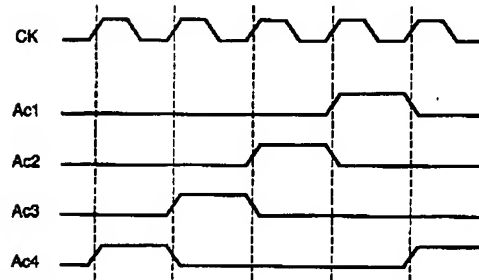


【図8】



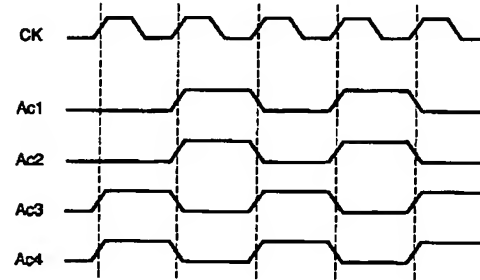
【図10】

インターリーブモード (SDR方式、スタート時の A1, A0=1, 1)



【図14】

インターリーブモード (DDR方式、スタート時の A1, A0=1, 1)

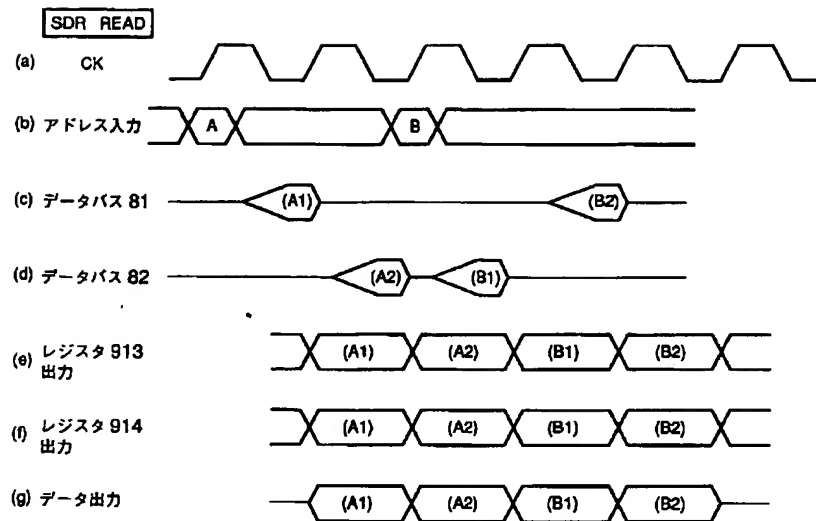


【図20】

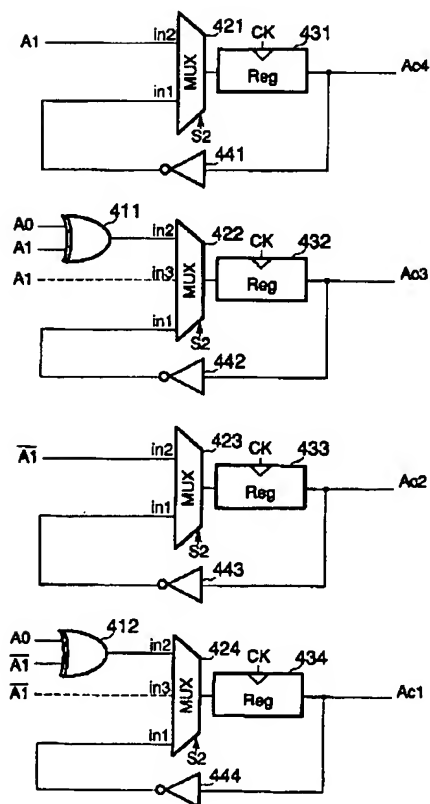
インターリーブモード(DDR方式)

| | 1 | 2 | 3 | ... |
|----------|---------------|---------------|---------------|-----|
| (A1, A0) | (0,0) & (0,1) | (1,0) & (1,1) | (0,0) & (0,1) | ... |
| | (0,1) & (0,0) | (1,1) & (1,0) | (0,1) & (0,0) | ... |
| | (1,0) & (1,1) | (0,0) & (0,1) | (1,0) & (1,1) | ... |
| | (1,1) & (1,0) | (0,1) & (0,0) | (1,1) & (1,0) | ... |

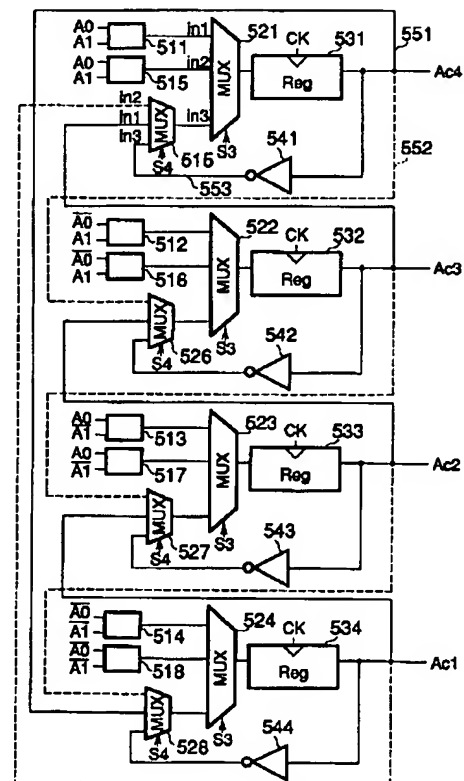
【図11】



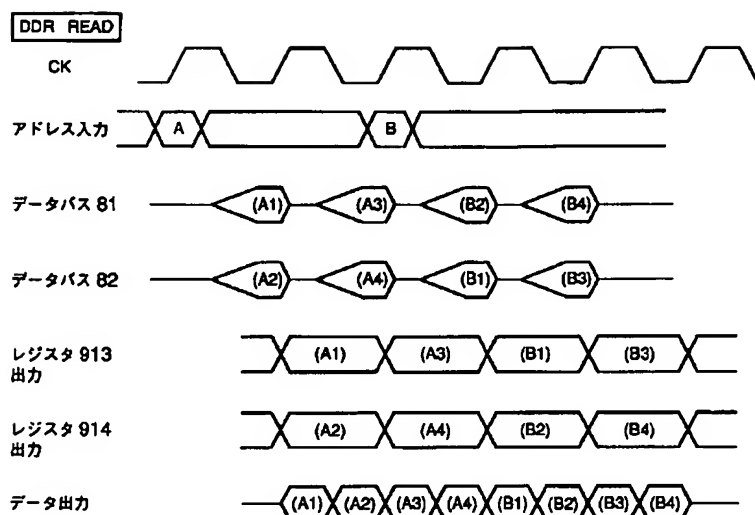
【図12】



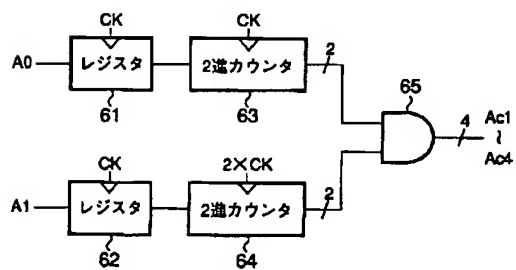
【図16】



【図15】



【図21】



【図22】

